

Information



CMOS - Schaltkreise

Hersteller: VEB Mikroelektronik "Karl Marx" Erfurt

V 4001 D	4 NOR-Gatter mit je 2 Eingängen
V 4007 D	2 Transistorpaare und 1 Inverter
V 4011 D	4 NAND-Gatter mit je 2 Eingängen
V 4012 D	2 NAND-Gatter mit je 4 Eingängen
V 4013 D	2 x D-Flip-Flop
V 4015 D	2 x 4 bit Schieberegister
V 4017 D	Dekadischer Zähler mit 10 dekodierten Ausgängen
V 4019 D	4 AND/OR-Auswahlgatter
V 4023 D	3 NAND-Gatter mit je 3 Eingängen
V 4027 D	2 x JK-Flip-Flop
V 4028 D	BCD/Dezimal-Dekoder
V 4029 D	Synchroner 4stelliger binärer/BCD-Vor-/Rückwärtszähler mit Voreinstellung
V 4030 D	4 Exklusiv-OR-Gatter mit je 2 Eingängen
V 4034 D	8stufiges bidirektionales paralleles/serielles Busregister
V 4035 D	4 bit Schieberegister mit synchroner Paralleleingabe
V 4042 D	4 bit Auffangregister
V 4044 D	4 x RS-Flip-Flop
V 4048 D	Multifunktionsgatter

CMOS-Schaltkreise sind eine eigenständige SSI/MSI-Schaltkreisgruppe, die im Vergleich zu TTL bzw. Low-Power-TTL u.ä. folgende Vorteile aufweist:

- niedrige Verlustleistung bis ca. 10 MHz (ermöglicht Einsatz in batteriegespeisten Schaltungen)
- großer Betriebsspannungsbereich ($U_{DD} = 3 \dots 15 \text{ V}$), geringe Stabilisierung des Netztesiles erforderlich
- hohe statische Störsicherheit
- Low-Power-Schottky-TTL-kompatibel

Diese Eigenschaften erschließen CMOS-Schaltkreisen eine Reihe neuer Anwendungsmöglichkeiten in Ergänzung zu den TTL- bzw. Low-Power-Schottky-TTL-Schaltkreisfamilien.

Änderungen im Zuge der technischen Weiterentwicklung vorbehalten. Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

V 4001 D 4 NOR-Gatter mit je 2 Eingängen

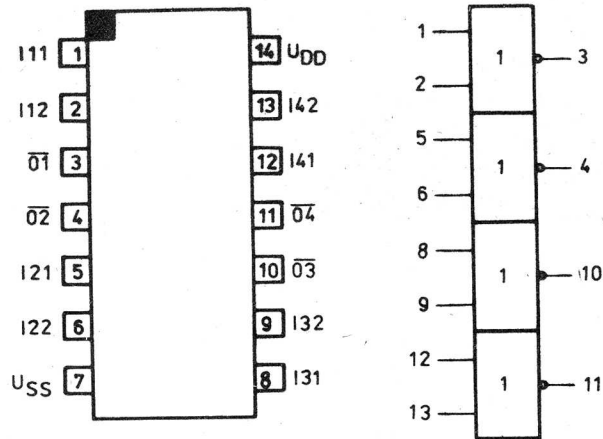


Bild 1: Anschlußbelegung und Schaltungskurzzeichen V 4001 D

Bauform: 1

V 4007 D 2 Transistorpaare und 1 Inverter

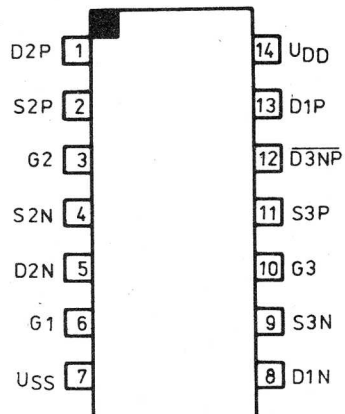


Bild 2: Anschlußbelegung V 4007 D

Bauform: 1

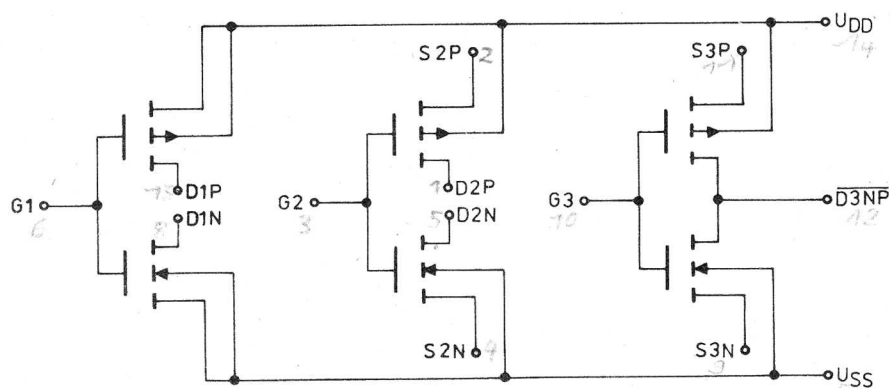


Bild 3: Elektrisches Schaltbild V 4007 D

V 4011 D 4 NAND-Gatter mit je 2 Eingängen

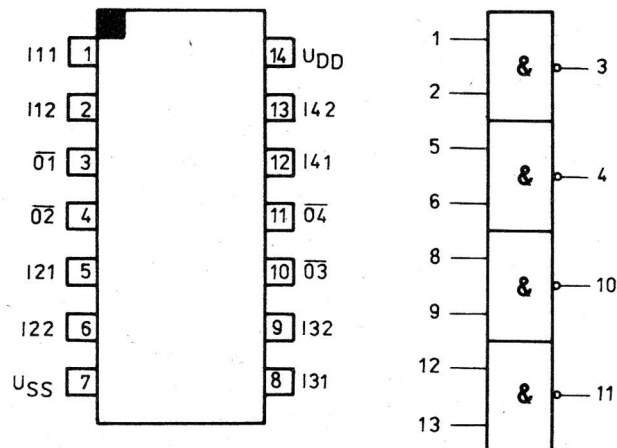


Bild 4: Anschlußbelegung und Schaltungskurzzeichen V 4011 D Bauform: 1

V 4012 D 2 NAND-Gatter mit je 4 Eingängen

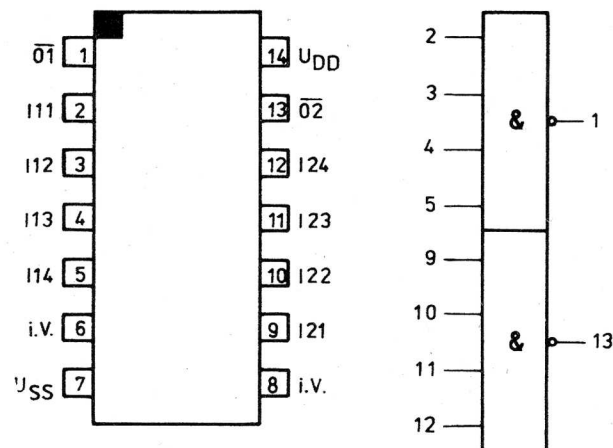


Bild 5: Anschlußbelegung und Schaltungskurzzeichen V 4012 D Bauform: 1

V 4013 D 2 x D-Flip-Flop

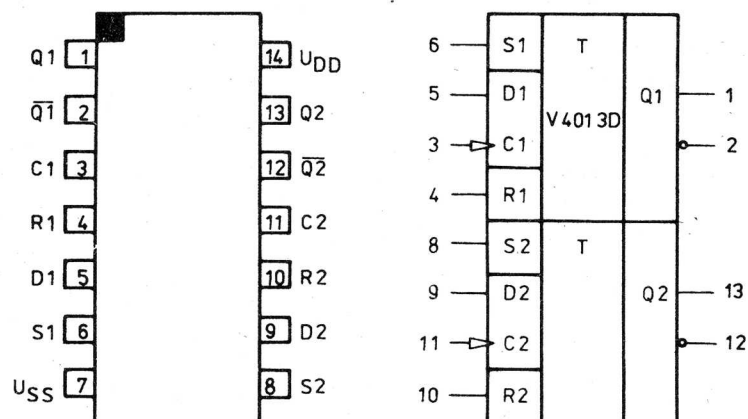


Bild 6: Anschlußbelegung und Schaltungskurzzeichen V 4013 D Bauform: 1

Der V 4013 D beinhaltet 2 D-Flip-Flop mit getrennter Taktung und Setz- und Rücksetzeingängen. Die am Dateneingang D anliegende Information wird mit der positiven Flanke des Taktes C in das Flip-Flop übernommen und erscheint an den Ausgängen Q und $\bar{Q}$. Während des Zustandes H des Taktes C wird der Dateneingang blockiert. Mittels des Setz- und Rücksetzeinganges läßt sich das Flip-Flop setzen ($S = H \rightarrow Q = H$) und rücksetzen ($R = H \rightarrow \bar{Q} = H$).

V 4015 D 2 x 4 bit Schieberegister

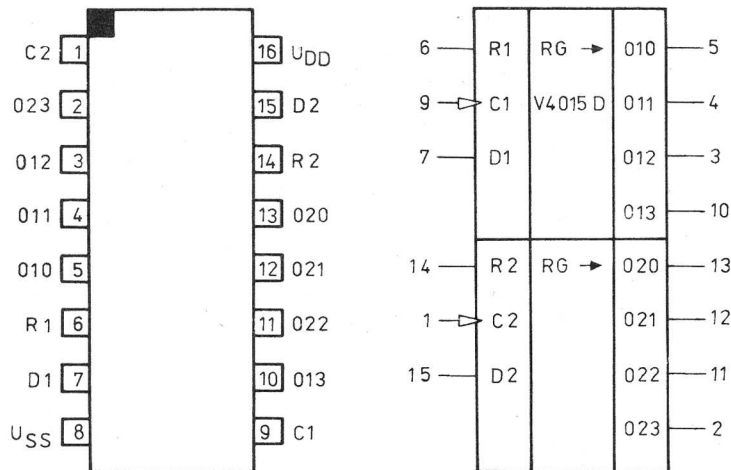


Bild 7: Anschlußbelegung und Schaltungskurzzeichen V 4015 D Bauform: 2

Der Schaltkreis V 4015 D beinhaltet zwei 4-bit-Schieberegister vom Typ Serien-Parallel-Wandler. Die Information wird über Eingang D mittels der steigenden Flanke des Taktes C in die Schieberegisterstelle 1 übernommen und erscheint am Ausgang On (n = 1;2). Mit jeder weiteren steigenden Flanke des Taktes C wird die Information eine Schieberegisterstelle weitergeschoben. Mit dem Rücksetzeingang R läßt sich das Schieberegister löschen (Ausgänge haben Zustand L).

V 4017 D Dekadischer Zähler mit 10 dekodierten Ausgängen

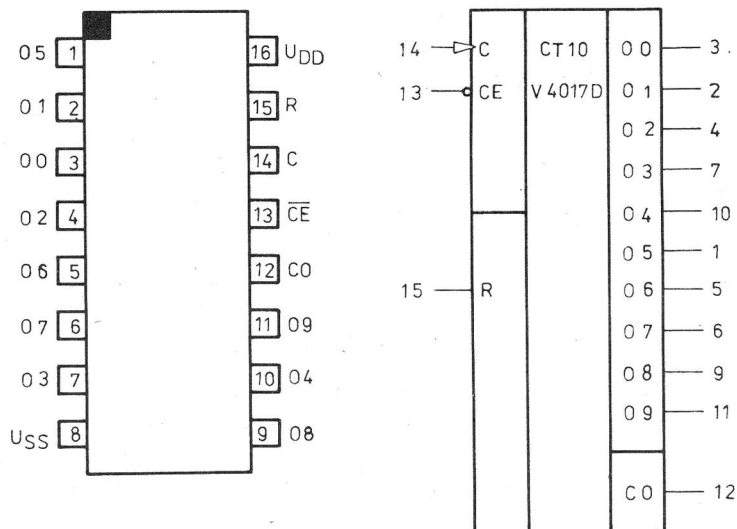


Bild 8: Anschlußbelegung und Schaltungskurzzeichen V 4017 D Bauform: 2

Der V 4017 D enthält einen 5stufigen Johnson-Zähler mit 10 dekodierten Ausgängen. Ein Schmitt-Trigger im Takteingang C dient zur Gewährleistung von unbegrenzt langsamen Anstiegs- und Abfallzeiten. Über den Eingang Clock Enable $\overline{CE} = H$ läßt sich der Zähler in seinem aktuellen Zustand anhalten. Ein H-Signal am RESET-Eingang R setzt den Zähler in den Zählerstand 0. Die dekodierten Ausgänge sind normalerweise im L-Zustand und gehen nach H für ihren dekodierten Zustand. Jeder Ausgang ist genau für eine Taktperiode im Zustand H. Der Übertragungsausgang CO (CARRY OUT) liefert einen vollen Impuls für 10 Taktimpulse (5 Takte=H, 5 Takte=L).

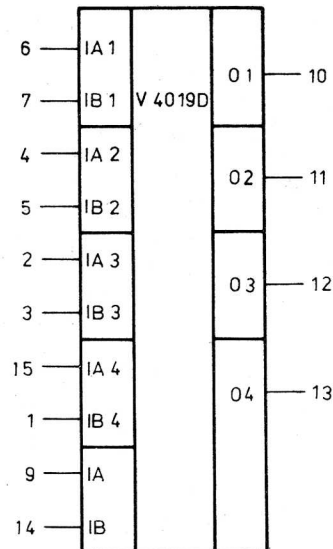
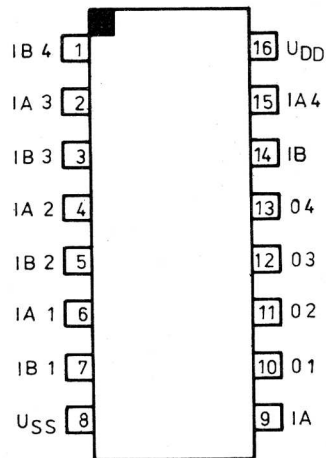
V 4019 D 4 AND/OR-Auswahlgatter

Bild 9: Anschlußbelegung und Schaltungskurzzeichen V 4019 D Bauform: 2

Der V 4019 D enthält 4 AND/OR-Auswahlgatter, von denen jedes in ein 2fach AND- oder in ein 2fach OR-Gatter zu schalten ist. Die Auswahl der AND- bzw. OR-Funktion wird über die Eingänge IA und IB gesteuert. Darüber hinaus lassen sich die Steuereingänge zur logischen Funktion $IA + IB$ benutzen.

Wahrheitstabelle V 4019 D

IA	IB	IA _n	IB _n	O _n	IA	IB	IA _n	IB _n	O _n
H	L	H	x	H	H	H	L	L	L
H	L	L	x	L	H	H	L	H	H
L	H	x	H	H	H	H	H	L	H
L	H	x	L	L	H	H	H	H	H
L	L	x	x	L					

$x = \text{beliebig}, \quad n = 1 \dots 4, \quad O_n = IA_n \times IA + IB_n \times IB$

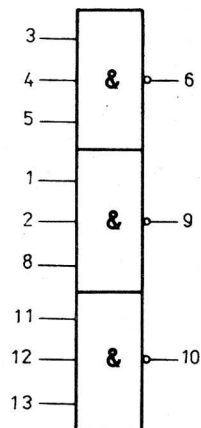
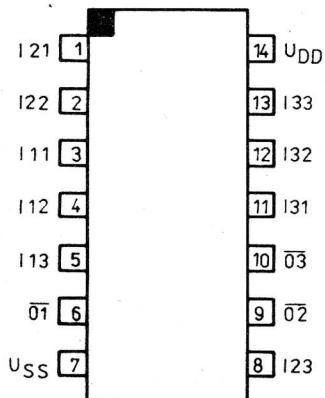
V 4023 D 3 NAND-Gatter mit je 3 Eingängen

Bild 10: Anschlußbelegung und Schaltungskurzzeichen V 4023 D Bauform: 1

V 4027 D 2 x JK-Flip-Flop

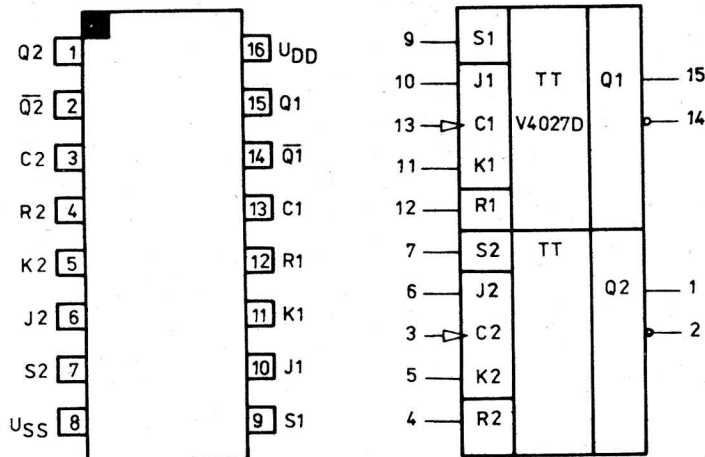


Bild 11: Anschlußbelegung und Schaltungskurzzeichen V 4027 D Bauform: 2

Der V 4027 D beinhaltet 2 JK-Master-Slave-Flip-Flops mit getrennter Taktung und Steuereingängen. Die an den Eingängen J und K anliegende Information wird im L-Zustand des Taktes C in den Master übernommen. Der Slave behält seine ursprüngliche Information bei. Auf die steigende Flanke des Taktes C hin wird die Information vom Master in den Slave übernommen und erscheint in den Ausgängen Q und $\bar{Q}$. Gleichzeitig erfolgt eine Sperrung des Masters für eine Datenübernahme von J und K. Setz- und Rücksetzeingang dienen zum Setzen ($S = H \rightarrow Q = H$) und zum Rücksetzen ($R = H \rightarrow \bar{Q} = H$) des Flip-Flop.

V 4028 D BCD/Dezimal-Dekoder

Der V 4028 D enthält einen BCD/Dezimaldekoder. Der ausgewählte Ausgang zeigt High-Signal, die restlichen Ausgänge zeigen Low-Signal.

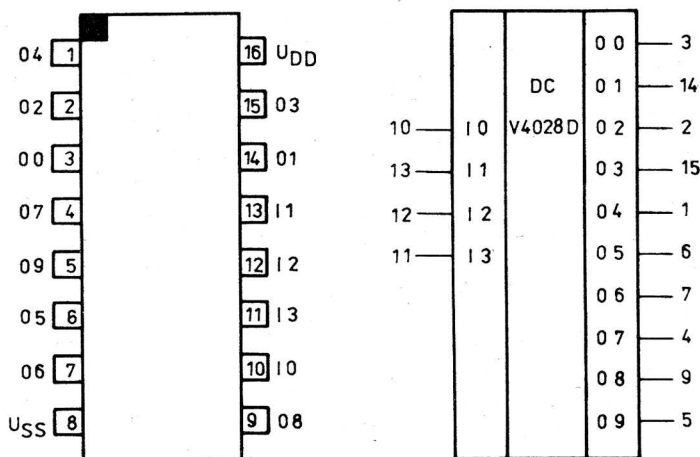


Bild 12: Anschlußbelegung und Schaltungskurzzeichen V 4028 D Bauform: 2

V 4029 D Synchroner vierstelliger binärer BCD-Vor-/Rückwärtszähler
mit Voreinstellung

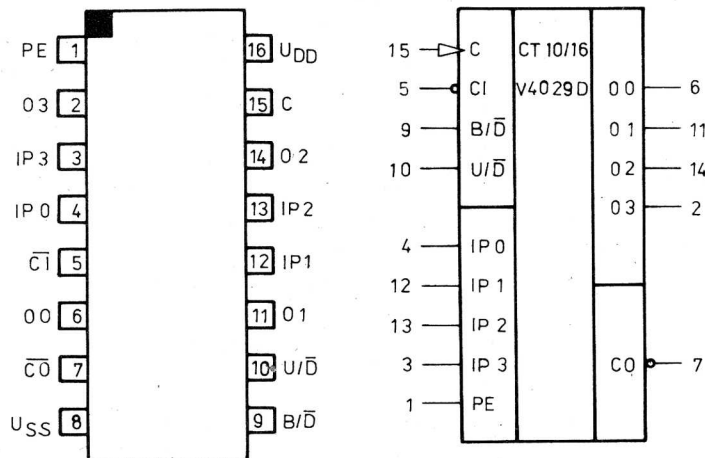


Bild 13: Anschlußbelegung und Schaltungskurzzeichen V 4029 D Bauform: 2

Ein H-Signal am Steuereingang PRESET ENABLE (PE) übernimmt die an den Voreinstelleingängen IP 0 ... IP 3 anliegende Information unabhängig vom Takt in die Zählerstufen, wobei der Zähler während PE = H gesperrt wird. Liegen IP 0 ... IP 3 auf L-Pegel, so wird der Zähler auf den Zählerstand 0 gesetzt. Der Zähler zählt auf die positive Taktflanke, vorausgesetzt, die Eingänge CARRY IN ($\overline{CI}$) und PE liegen auf L-Pegel. Das Zählen wird unterbrochen, falls einer dieser beiden Eingänge auf H liegt. Der Übertragungsausgang CARRY OUT ($\overline{CO}$) ist normalerweise H und geht erst nach L, wenn der Zähler seinen maximalen Zählerstand beim Vorwärtszählen oder seinen minimalen Zählerstand beim Rückwärtszählen erreicht hat. Das Signal $\overline{CI}$ entspricht in dem Zustand L einem Taktfreigabesignal. Der Eingang B/ $\overline{D}$ steuert den Zählmodus. Für B/ $\overline{D}$ = H arbeitet der Zähler im Binärmodus und für B/ $\overline{D}$ = L im BCD-Modus.

Wahrheitstabelle der Steuereingänge

Steuereingang	Logischer Pegel	Funktion
B/ $\overline{D}$	H	binär
	L	dezimal
U/ $\overline{D}$	H	vorwärts
	L	rückwärts
PE	H	voreinstellen
	L	nicht voreinstellen
$\overline{CI}$	H	nicht zählen
	L	zählen

V 4030 D 4 Exklusiv - OR-Gatter

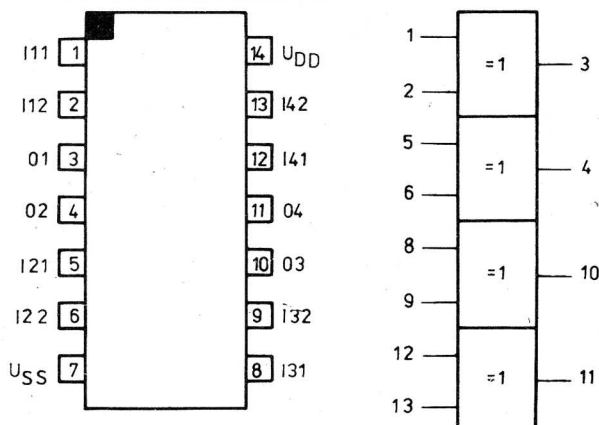


Bild 14: Anschlußbelegung und Schaltungskurzzeichen V 4030 D

Bauform: 1

V 4034 D 8stufiges bidirektionales paralleles/serielles Busregister

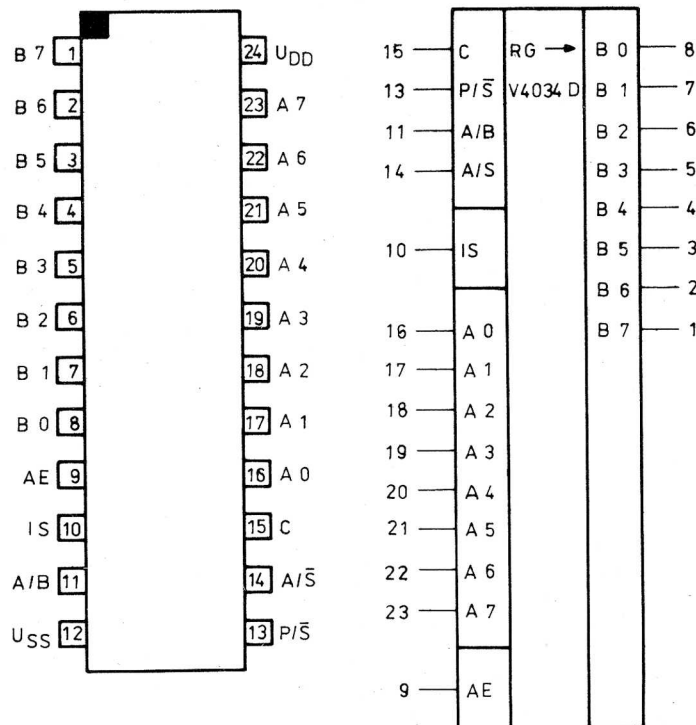


Bild 15: Anschlußbelegung und Schaltungskurzzeichen V 4034 D Bauform: 3

Die Daten des V 4034 D werden über 16 bidirektionale Datenleitungen ein- und ausgegeben. Von diesen 16 Leitungen sind 8 Leitungen im Kanal A als Eingänge bzw. 3-Zustands-Ausgänge zusammengefaßt. Die anderen 8 Leitungen stellen den Kanal B dar und können als Eingänge bzw. Ausgänge betrieben werden. Die Datenrichtung $A \rightarrow B$ bzw. $B \rightarrow A$ wird vom Steuereingang A/B bestimmt. Für die serielle Dateneingabe ist der Eingang IS vorhanden. Alle Schieberegister sind D-Flip-Flops vom Master-Slave-Typ mit getrenntem Master- und Slavetakt. Das gestattet eine synchrone bzw. asynchrone Datenübernahme vom Master zum Slave.

Betriebsart: Parallelbetrieb

Ein H-Signal am $P/\bar{S}$ -Eingang erlaubt den Datentransfer von den parallelen Dateneingängen in das Register synchron mit der positiven Taktflanke. Dabei muß der Eingang $A/\bar{S}$ auf L-Potential liegen. Wenn der Eingang $A/\bar{S}$ auf H-Potential liegt, dann erfolgt die Dateneingabe unabhängig vom Takt. Die Richtung des Datenflusses wird durch den A/B-Eingang bestimmt. Für $A/B = H$ ist der Kanal A Eingang und Kanal B Ausgang, für $A/B = L$ gilt die umgekehrte Datenrichtung. Der Steuereingang AE bewirkt die Freigabe des Kanals A als Ein- oder Ausgabe-Kanal, wenn der Zustand H an diesem Steuereingang liegt.

Eine Datenspeicherung bzw. Datenumlauf in jeder Registerstufe wird eingeleitet, wenn das Signal A/B H und das AE-Signal L ist.

Betriebsart: Serieller Betrieb

Ein L-Signal am Eingang $P/\bar{S}$ erlaubt den Datentransfer in das Register synchron mit positiver Taktflanke. Der $A/\bar{S}$ -Eingang ist intern gesperrt, wenn das Register im seriellen Mode arbeitet. Asynchroner Betrieb ist hier nicht gestattet. Die seriellen Daten können wahlweise über Kanal A oder B ausgegeben werden. Eine Registererweiterung kann durch einfache Kaskadierung der Schaltkreise V 4034 D erreicht werden.

Funktionstabelle V 4034 D

AE	P/ $\overline{S}$	A/B	A/ $\overline{S}$	Arbeitsweise
L	L	L	x	Serieller Mode; serieller Dateneingang; A-Ausgänge gesperrt
L	L	H	x	Serieller Mode; serieller Dateneingang; Kanal-B-Ausgabe
L	H	L	L	Paralleler Mode; B-synchroner Eingang; A-Datenausgänge gesperrt
L	H	L	H	Paralleler Mode; B-synchroner Eingang; A-Datenausgänge gesperrt
L	H	H	L	Paralleler Mode; A-Eingabe gesperrt; B-Ausgabe; synchroner Datenumlauf
L	H	H	H	Paralleler Mode; A-Eingabe gesperrt; B-Ausgabe; asynchroner Datenumlauf
H	L	L	x	Serieller Mode; synchrone serielle Dateneingabe; Kanal-A-Ausgabe
H	L	H	x	Serieller Mode; synchrone serielle Dateneingabe; Kanal-B-Ausgabe
H	H	L	L	Paralleler Mode; synchroner Eingang Kanal B; Kanal-A-Ausgabe
H	H	H	L	Paralleler Mode; synchrone Eingabe Kanal A; Kanal-B-Ausgabe
H	H	H	H	Paralleler Mode; asynchrone Eingabe Kanal A; Kanal-B-Ausgabe

x = beliebig

V 4035 D 4 bit Schieberegister mit synchroner Paralleleingabe

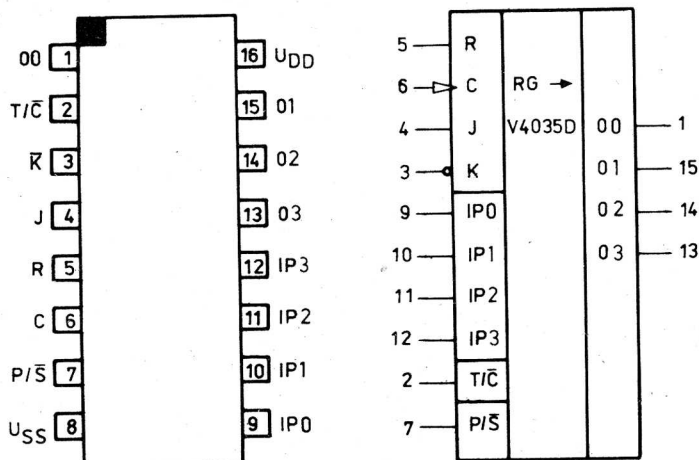


Bild 16: Anschlußbelegung und Schaltungskurzzeichen V 4035 D Bauform: 2

Der V 4035 D beinhaltet ein vierstufiges getaktetes seriell-schieberegister mit synchron auf die Stufen wirkenden parallelen Eingängen sowie einem über JK-Logik auf die erste Stufe wirkenden seriellen Eingang.

Wenn der Steuereingang P/ $\overline{S}$ (Parallel/Seriell) den Zustand L besitzt, werden die Registerstufen 1, 2, und 3 in serieller Betriebsart in einer D-Trigger-Konfiguration hintereinandergeschaltet. Hat der Steuereingang P/ $\overline{S}$ den Zustand H, dann sind die Paralleleingänge zu den Registerstufen durchgeschaltet. In beiden Betriebsarten erfolgt die Informationsübernahme mit der positiven Taktflanke. Wenn der Steuereingang T/ $\overline{C}$ (True Complement) den Zustand H besitzt, ist der wahre Registerinhalt an den Ausgängen 0 0 bis 0 3 verfügbar. Ist T/ $\overline{C}$ im Zustand L, liegt an den Ausgängen 0 0 bis 0 3 der komplementäre Registerinhalt.

Über den Eingang R (Reset) lassen sich alle Registerstufen gemeinsam zurücksetzen. Die Steuerungsfunktion des T/ $\overline{C}$ -Einganges erfolgt asynchron mit dem Taktsignal.

Werden der J- und der K-Eingang der ersten Registerstufen miteinander verbunden, so wird die erste Stufe zum D-Trigger.

V 4042 D 4 bit Auffangregister

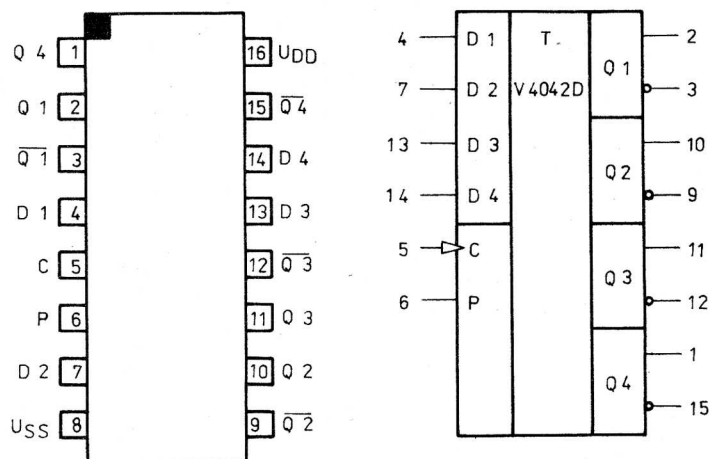


Bild 17: Anschlußbelegung und Schaltungskurzzeichen V 4042 D Bauform: 2

Der Schaltkreis V 4042 D beinhaltet 4 Zwischenspeicher, die von einem gemeinsamen Takt geladen werden. Die Information an den Dateneingängen wird an die Ausgänge Q und $\bar{Q}$ während des Taktzustandes gegeben, der durch den Eingang "Polarität" (P) festgelegt wird. Für P = L wird der Transfer bei C = L und für P = H bei C = H durchgeführt. Die Ausgänge folgen solange dem Eingang, bis die steigende Taktflanke (bei P = L) bzw. die fallende Flanke (bei P = H) erreicht ist. Ab dieser Flanke bleibt die Information im FF zwischengespeichert. (Latch)

V 4044 D 4 RS-Flip-Flop

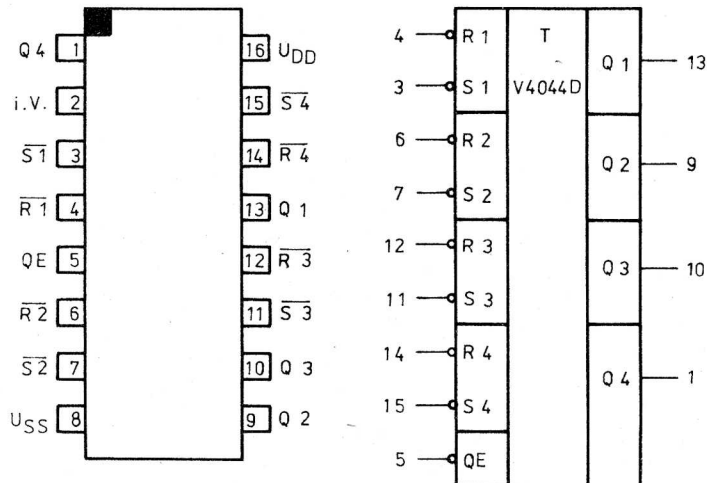


Bild 18: Anschlußbelegung und Schaltungskurzzeichen V 4044 D Bauform: 2

Der V 4044 D enthält vier kreuzgekoppelte 3-Zustand-Flip-Flops (Latches). Jeder Latch hat einen separaten Q-Ausgang und RESET- und SET-Eingänge. Alle Q-Ausgänge werden über einen Freigabeeingang QE gesteuert. Liegt dieser Eingang auf H, so wird der Latch an den Q-Ausgang geschaltet. L-Potential trennt den Latch vom Q-Ausgang und dieser geht in den hochohmigen Zustand über.

Wahrheitstabelle V 4044 D

Eingänge			Ausgänge
QE	S _n	R _n	Q _n
L	x	x	hochohmig
H	L	H	H
H	x	L	L
H	H	H	Latch

n = 1 ... 4

x = L oder H

V 4048 D Multifunktionsgatter

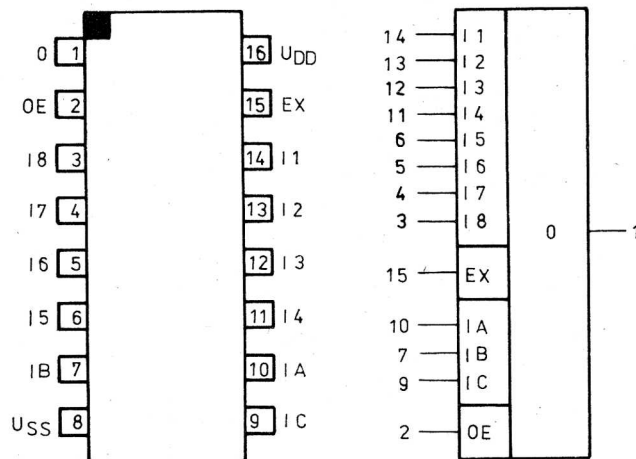


Bild 19: Anschlußbelegung und Schaltungskurzzeichen V 4048 D Bauform: 2

Der V 4048 D beinhaltet ein 8-Eingangsgatter und 4 Steuereingänge. Von diesen 4 Steuereingängen werden drei (IA, IB, IC) nur zur Auswahl der Logikfunktion des Gatters benötigt. Der vierte (OE) dient der 3-Zustandsteuerung des Ausgangs 0. Für OE = H wird die Funktion ausgeführt, für OE = L befindet sich der Ausgang im hochohmigen Zustand. Über die drei Steuereingänge IA, IB und IC sind folgende Funktionen zu selektieren: OR, NOR, AND, NAND, OR/AND, OR/NAND, AND/OR, AND/NOR. Über die 8 Logikeingänge I 1 ... I 8 hinaus besitzt der Schaltkreis einen Erweiterungseingang EX, mit dem eine Erweiterung der Logikeingänge möglich ist, z.B. durch einen weiteren V 4048 D auf 16 Eingänge. Wird der EX-Eingang nicht benutzt, so ist er auf U_{SS} zu legen.

Funktionstabelle (EX = L / OE = H)

Ausgangs-funktion	Logikfunktion	IA	IB	IC	unbenutzte Eingänge
NOR	$O = \overline{I1+I2+I3+I4+I5+I6+I7+I8}$	L	L	L	U_{SS}
OR	$O = I1+I2+I3+I4+I5+I6+I7+I8$	L	L	H	U_{SS}
OR/AND	$O = (I1+I2+I3+I4) \times (I5+I6+I7+I8)$	L	H	L	U_{SS}
OR/NAND	$O = \overline{(I1+I2+I3+I4) \times (I5+I6+I7+I8)}$	L	H	H	U_{SS}
AND	$O = I1 \times I2 \times I3 \times I4 \times I5 \times I6 \times I7 \times I8$	H	L	L	U_{DD}
NAND	$O = \overline{I1 \times I2 \times I3 \times I4 \times I5 \times I6 \times I7 \times I8}$	H	L	H	U_{DD}
AND/NOR	$O = \overline{I1 \times I2 \times I3 \times I4 \times I5 \times I6 \times I7 \times I8}$	H	H	L	U_{DD}
AND/OR	$O = I1 \times I2 \times I3 \times I4 \times I5 \times I6 \times I7 \times I8$	H	H	H	U_{DD}

Funktionstabelle für EX-Benutzung

Ausgangs-funktion	Funktion am EX-Eingang	Logikfunktion + Erweiterung	IA	IB	IC
NOR	OR	$O = \overline{I1+I2+I3+I4+I5+I6+I7+I8} + (EXP-Fun)$	L	L	L
OR	OR	$O = I1+I2+I3+I4+I5+I6+I7+I8 + (EXP-Fun)$	L	L	H
AND	NAND	$O = (I1 \times I2 \times I3 \times I4 \times I5 \times I6 \times I7 \times I8) \times (EXP-Fun)$	H	L	L
NAND	NAND	$O = \overline{(I1 \times I2 \times I3 \times I4 \times I5 \times I6 \times I7 \times I8) \times (EXP-Fun)}$	H	L	H

Ausgangs- funktion	Funktion am EX-Eingang	Logikfunktion + Erweiterung	IA	IB	IC
OR/AND	NOR	$O = (I1+I2+I3+I4) \times (I5+I6+I7+I8)$ $\times (\text{EXP-Fun})$	L	H	L
OR/NAND	NOR	$O = \frac{(I1+I2+I3+I4) \times (I5+I6+I7+I8)}{\times (\text{EXP-Fun})}$	L	H	H
AND/NOR	AND	$O = \frac{(I1 \times I2 \times I3 \times I4) + (I5 \times I6 \times I7 \times I8)}{+ (\text{EXP-Fun})}$	H	H	L
AND/OR	AND	$O = (I1 \times I2 \times I3 \times I4) + (I5 \times I6 \times I7 \times I8)$ $+ (\text{EXP-Fun})$	H	H	H

Grenzwerte

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{DD}	$U_{SS} - 0,5$	$U_{SS} + 18$	V
Eingangsspannung	U_I	$U_{SS} - 0,5$	$U_{DD} + 0,5$	V
Ausgangsspannung	U_O	$U_{SS} - 0,5$	$U_{DD} + 0,5$	V
Verlustleistung je Ausgangstransistor	P_V		100	mW
Gesamtverlustleistung	P_{tot}		300 ¹⁾	mW
			150 ²⁾	mW
	P_{tot} (V 4034 D)		600 ¹⁾	mW
			300 ²⁾	mW
Lastkapazität je Ausgang	C_L		5	nF
Betriebstemperaturbereich	ϑ_a	-25	+85	°C
Lagerungstemperaturbereich	ϑ_{stg}	-55	+125	°C

1) $\vartheta_a = -25 \dots +70$ °C2) $\vartheta_a = +85$ °CStatische Kennwerte(U_{SS} = 0 V, $\vartheta_a = -25 \dots +85$ °C, falls nicht anders angegeben U_I = U_{SS} bzw. U_{DD}, $|I_O| < 1$ µA)

	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Betriebsspannung	U_{DD}		3	15	V
Eingangsspannung	U_I		0	U_{DD}	V
Eingangsspannung High (außer V 4007 D)	U_{IH}	$U_{DD} = 5V$	3,5		V
		$U_{DD} = 10V$	7		V
		$U_{DD} = 15V$	11		V
Eingangsspannung Low (außer V 4007 D)	U_{IL}	$U_{DD} = 5V$		1,5	V
		$U_{DD} = 10V$		3	V
		$U_{DD} = 15V$		4	V
Eingangsspannung High (nur V 4007 D)	U_{IH}	$U_{DD} = 5V$	4		V
		$U_{DD} = 10V$	8		V
		$U_{DD} = 15V$	12,5		V
Eingangsspannung Low (nur V 4007 D)	U_{IL}	$U_{DD} = 5V$		1	V
		$U_{DD} = 10V$		2	V
		$U_{DD} = 15V$		2,5	V

	Kurzzeichen	Meßbedingungen	min.	max.	Einheit
Eingangsreststrom	I_{IH}	$U_I = U_{DD} = 15V$		1	μA
	$-I_{IL}$	$U_{DD} = 15V, U_I = 0V$		1	μA
Ausgangsspannung Low	U_{OL}	$U_{DD} = 5...15V$		0,05	V
Ausgangsspannung High	U_{OH}	$U_{DD} = 5V$	4,95		V
		$U_{DD} = 10V$	9,95		V
		$U_{DD} = 15V$	14,95		V
Ausgangsstrom	I_{OL}	$U_{DD} = 5V$	0,4		mA
		$U_{OL} = 0,4V$			
		$U_{DD} = 10V$	0,9		mA
		$U_{OL} = 0,5V$			
		$U_{DD} = 15V$	2,4		mA
Ausgangsstrom High	$-I_{OH}$	$U_{DD} = 5V$	0,4		mA
		$U_{OH} = 4,6V$			
		$U_{DD} = 10V$	0,9		mA
		$U_{OH} = 9,5V$			
		$U_{DD} = 15V$	2,4		mA
Eingangskapazität	C_I			7,5	pF
	C_I			15	pF
	C_{IC}			8,5	pF
	C_{IAB}			15	pF
Statische Stromaufnahme (V 4001 D, V 4011 D, V 4012 D, V 4023 D, V 4030 D, V 4048 D, V 4007 D)	I_{DD}	$U_{DD} = 5V$		7,5	μA
		$U_{DD} = 10V$		15	μA
		$U_{DD} = 15V$		30	μA
Statische Stromaufnahme (V 4013 D, V 4027 D, V 4042 D, V 4044 D, V 4019 D)	I_{DD}	$U_{DD} = 5V$		30	μA
		$U_{DD} = 10V$		60	μA
		$U_{DD} = 15V$		120	μA
Statische Stromaufnahme (V 4015 D, V 4028 D, V 4035 D, V 4017 D, V 4029 D, V 4034 D)	I_{DD}	$U_{DD} = 5V$		150	μA
		$U_{DD} = 10V$		300	μA
		$U_{DD} = 15V$		600	μA
Reststrom der 3-Zustandsausgänge (V 4044 D, V 4048 D, V 4034 D)	I_{OH}	$U_{DD} = 15V$		12	μA
		$U_O = U_{DD} \text{ bzw. } U_{SS}$			

Dynamische Kennwerte:

($\vartheta_a = 25^\circ\text{C}$, $U_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$, $U_I = U_{SS}$ bzw. U_{DD} , $|I_O| < 1\text{ }\mu\text{A}$, $t_r = t_f = 20\text{ ns}$)

Kennwerte	Kurzzeichen	Meßbedingung (U_{DD} in V)	min.	max.	Einheit
Flankenübergangszeit der Ausgangssignale (V 4001 D, V 4011 D, V 4012 D, V 4023 D, V 4030 D, V 4007 D, V 4013 D, V 4017 D, V 4019 D, V 4028 D, V 4029 D, V 4034 D, V 4035 D, V 4042 D, V 4044 D, V 4048 D)	t_{TLH}	5		200	ns
	t_{THL}	10		100	ns
		15		80	ns
V 4001 D, V 4011 D Verzögerungszeit	t_{PLH}	5		150	ns
	t_{PHL}	10		75	ns
		15		60	ns
V 4012 D, V 4023 D Verzögerungszeit	t_{PLH}	5		170	ns
	t_{PHL}	10		75	ns
		15		65	ns
V 4030 D Verzögerungszeit	t_{PLH}	5		220	ns
	t_{PHL}	10		100	ns
		15		75	ns
V 4007 D Verzögerungszeit	t_{PLH}	5		110	ns
	t_{PHL}	10		60	ns
		15		50	ns
<u>V 4013 D</u> Datensetzzeit	t_{DS}	5	40		ns
		10	20		ns
		15	15		ns
Taktimpulsbreite High	t_{CH}	5	140		ns
		10	60		ns
		15	40		ns
Taktanstiegs- und -abfallzeit	t_{CLH}	5		15	μs
	t_{CHL}	10		4	μs
		15		1	μs
Taktfrequenz bei $t_{CLH} = t_{CHL} = 5\text{ ns}$	f_C	5		3,5	MHz
		10		8	MHz
		15		12	MHz
Setzimpulsbreite bzw. Rücksetzimpulsbreite	t_{SH}	5	180		ns
		10	80		ns
	t_{RH}	15	50		ns

Kennwerte	Kurzzeichen	Meßbedingung (U_{DD} in V)	min.	max.	Einheit
Verzögerungszeit	t_{PCHL}	5		300	ns
$C \rightarrow Q, \bar{Q}$	t_{PCLH}	10		130	ns
$S \rightarrow Q$	t_{PSLH}	15		90	ns
$R \rightarrow Q$	t_{PRLH}				
Verzögerungszeit		5		400	ns
$S \rightarrow \bar{Q}$	t_{PSHL}	10		170	ns
$R \rightarrow \bar{Q}$	t_{PRHL}	15		120	ns
<u>V 4015 D</u>					
Datensetzzeit	t_{DS}	5	70		ns
		10	40		ns
		15	30		ns
Taktimpulsbreite Low	t_{CL}	5	180		ns
		10	80		ns
		15	50		ns
Rücksetzimpulsbreite High	t_{RH}	5	200		ns
		10	80		ns
		15	60		ns
Taktanstiegs- und -abfallzeit	$t_{CLH};$ t_{CHL}	5		15	μs
		10			
		15			
Taktfrequenz	f_C	5		3	MHz
		10		6	MHz
		15		8,5	MHz
Verzögerungszeit	$t_{PHL};$	5		320	ns
$C \rightarrow On$	t_{PLH}	10		160	ns
		15		120	ns
Verzögerungszeit	t_{PRHL}	5		400	ns
$R \rightarrow On$		10		200	ns
		15		160	ns
Flankenübergangszeiten der Ausgangssignale	$t_{THL};$ t_{TLH}	5		320	ns
		10		160	ns
		15		120	ns
<u>V 4017 D</u>					
Taktfrequenz	f_C	5		2,5	MHz
		10		5	MHz
		15		5,5	MHz
Taktimpulsbreite High	t_{CH}	5	200		ns
		10	90		ns
		15	60		ns
Setzzeit $\overline{CE}$, Haltezeit $\overline{CE}$ zum Takt C	$t_{SCE};$ t_{HCE}	5	230		ns
		10	100		ns
		15	70		ns

Kennwerte	Kurzzeichen	Meßbedingung (U_{DD} in V)	min.	max.	Einheit
RESET-Impulsbreite High	t_{RH}	5	260		ns
		10	110		ns
		15	60		ns
Beruhigungszeit nach HL-Flanke, RESET vor LH-Flanke des Taktes	t_{SR}	5	400		ns
		10	280		ns
		15	150		ns
Verzögerungszeit Takt $\rightarrow$ Ausgang	t_{PC}	5		650	ns
		10		270	ns
		15		170	ns
Verzögerungszeit Takt $\rightarrow$ CO	t_{PCCO}	5		600	ns
		10		250	ns
		15		160	ns
Verzögerungszeit R $\rightarrow$ Ausgang	t_{PR}	5		530	ns
		10		230	ns
		15		170	ns
<u>V 4019 D</u>					
Verzögerungszeit	$t_{PLH};$	5		300	ns
	t_{PHL}	10		120	ns
		15		100	ns
<u>V 4027 D</u>					
Datensetzzeit	t_{DS}	5	200		ns
		10	75		ns
		15	50		ns
Taktimpulsbreite High	t_{CH}	5	140		ns
		10	60		ns
		15	40		ns
Taktanstiegs- und -abfallzeit	$t_{CLH};$	5		15	μ s
	t_{CHL}	10		4	μ s
		15		1	μ s
Taktfrequenz bei $t_{CLH} = t_{CHL} = 5$ ns	f_C	5		3,5	MHz
		10		8	MHz
		15		12	MHz
Setzimpulsbreite, Rücksetzimpulsbreite	$t_{SH};$	5	180		ns
	t_{RH}	10	80		ns
		15	50		ns
<u>V 4027 D</u>					
Verzögerungszeit C $\rightarrow$ Q, $\bar{Q}$	t_{PCHL}	5		300	ns
		10		130	ns
S $\rightarrow$ Q	t_{PCLH}	15		90	ns
R $\rightarrow$ Q	t_{PSLH}				
	t_{PRLH}				
Verzögerungszeit S $\rightarrow$ $\bar{Q}$	t_{PSHL}	5		400	ns
		10		170	ns
R $\rightarrow$ $\bar{Q}$	t_{PRHL}	15		120	ns
<u>V 4028 D</u>					
Verzögerungszeit $I_n \rightarrow O_m$	$t_{PHL};$	5		350	ns
	t_{PLH}	10		160	ns
		15		120	ns

Kennwerte	Kurzzeichen	Meßbedingung (U_{DD} in V)	min.	max.	Einheit
<u>V 4029 D</u>					
Taktfrequenz	f_C	5		2	MHz
		10		4	MHz
		15		5,5	MHz
Taktimpulsbreite High	t_{CH}	5	180		ns
		10	90		ns
		15	60		ns
Setzzeit $\overline{CI}$ zum Takt C	t_{SCI}	5	160		ns
		10	80		ns
		15	60		ns
Setzzeit $B/\overline{D}$ und $U/\overline{D}$ zum Takt C	$t_{SBD};$ t_{SUD}	5	340		ns
		10	140		ns
		15	100		ns
PE-Impulsbreite High	t_{PEH}	5	130 ¹⁾		ns
		10	70		ns
		15	50		ns
Beruhigungszeit nach HL- Flanke PE vor LH-Flanke Takt	t_{SPE}	5	200		ns
		10	110		ns
		15	80		ns
Verzögerungszeit Takt $\rightarrow$ 0	t_{PC}	5		500	ns
		10		240	ns
		15		180	ns
Verzögerungszeit Takt $\rightarrow$ $\overline{CO}$	t_{PCCO}	5		560	ns
		10		260	ns
		15		190	ns
Verzögerungszeit PE $\rightarrow$ 0	t_{PPE}	5		470	ns
		10		200	ns
		15		160	ns
Verzögerungszeit PE $\rightarrow$ $\overline{CO}$	t_{PPECO}	5		640	ns
		10		290	ns
		15		210	ns
Verzögerungszeit $\overline{CI} \rightarrow \overline{CO}$	t_{PCICO}	5		340	ns
		10		140	ns
		15		100	ns
Haltezeit $\overline{CI}$	t_{HCI}	5	200		ns
		10	70		ns
		15	60		ns
Setzzeit IP_n zu PE	t_{SIPPE}	5	60		ns
		10	30		ns
		15	25		ns
Haltezeit IP_n zu PE	t_{HIPPE}	5	60		ns
		10	30		ns
		15	25		ns
Haltezeit $B/\overline{D}; U/\overline{D}$	$t_{HBD};$ t_{HUD}	5	60		ns
		10	30		ns
		15	25		ns

1) $t_{SPE} + t_{PEH} \geq 500$ ns

Kennwerte	Kurzzeichen	Meßbedingung (U_{DD} in V)	min.	max.	Einheit
<u>V 4034 D</u>					
Taktfrequenz	f_C	5		2	MHz
		10		5	MHz
		15		7	MHz
Taktimpulsbreite High	t_{CH}	5	250		ns
		10	100		ns
		15	70		ns
Impulsbreite AE, $P/\bar{S}$, $A/\bar{S}$	$t_{AEH};$	5	350		ns
	$t_{PSH};$	10	140		ns
	$t_{ASH};$	15	80		ns
Datensetzzeit seriell	t_{SSD}	5	160		ns
		10	60		ns
		15	40		ns
Datensetzzeit parallel	t_{SPD}	5	50		ns
		10	30		ns
		15	20		ns
Verzögerungszeit A $\rightarrow$ B	t_{PHL}	5		700	ns
		10		240	ns
		15		170	ns
Verzögerungszeit Takt A oder B	t_{PC}	5		700	ns
		10		240	ns
		15		170	ns
Selektions- und Deselek- tionszeit AE zum Ausgang A	$t_{PZL}; t_{PZH};$	5		400	ns
	$t_{PLZ}; t_{PHZ}$	10		160	ns
		15		120	ns
Taktanstiegs- und -abfallzeit	$t_{CLH};$	5		15	/us
	t_{CHL}	10		15	/us
		15		15	/us
Setzzeit seriell bzw. Setzzeit parallel Steuer- signal zum Takt bzw. Ein- gangssignal	$t_{SSS};$	5	250		ns
	t_{SPS}	10	120		ns
		15	100		ns
<u>V 4035 D</u>					
Verzögerungszeit C $\rightarrow$ 0 R $\rightarrow$ 0	$t_{PC};$	5		300	ns
	t_{PR}	10		200	ns
		15		160	ns
Taktimpulsbreite High	t_{CH}	5	200		ns
		10	90		ns
		15	60		ns
Taktanstiegs- und -abfallzeit	$t_{CLH};$	5 ... 15	15		/us
	t_{CHL}				
Setzzeit der JK-Eingänge	t_{SJK}	5	200		ns
		10	80		ns
		15	60		ns

Kennwerte	Kurzzeichen	Meßbedingung (U_{DD} in V)	min.	max.	Einheit
Setzzeit Paralleleingänge	t_{SP}	5 10 15	100 50 40		ns ns ns
Taktfrequenz	f_C	5 10 15		2,5 6 8	MHz MHz MHz
Rücksetzimpulsbreite	t_{RH}	5 10 15	200 90 60		ns ns ns
<u>V 4042 D</u>					
Verzögerungszeit $D_n \rightarrow Q_n$	$t_{PDQHL};$ t_{PDQLH}	5 10 15		220 110 80	ns ns ns
Verzögerungszeit $D_n \rightarrow \bar{Q}_n$	$t_{PD\bar{Q}HL};$ $t_{PD\bar{Q}LH}$	5 10 15		300 150 100	ns ns ns
Verzögerungszeit $C \rightarrow Q$	$t_{PCQHL};$ t_{PCQLH}	5 10 15		450 200 160	ns ns ns
Verzögerungszeit $C \rightarrow \bar{Q}$	$t_{PC\bar{Q}HL};$ $t_{PC\bar{Q}LH}$	5 10 15		500 230 180	ns ns ns
Haltezeit	t_H	5 10 15	120 60 50		ns ns ns
Taktimpulsbreite High	t_{CH}	5 10 15	200 100 60		ns ns ns
Setzzeit	t_S	5 10 15	50 30 25		ns ns ns
<u>V 4044 D</u>					
Verzögerungszeit R oder S zu Q	$t_{PS}; t_{PR}$	5 10 15		300 140 100	ns ns ns
Selektions- und Deselek- tionszeit durch QE von Q = High	$t_{PZH};$ t_{PHZ}	5 10 15		230 110 80	ns ns ns
Selektions- und Deselek- tionszeit durch QE von Q = Low	$t_{PLZ};$ t_{PZL}	5 10 15		180 100 70	ns ns ns
SET- und RESET- Impulsbreite Low	$t_{SL};$ t_{RL}	5 10 15	160 80 40		ns ns ns

Kennwerte	Kurzzeichen	Meßbedingung (U_{DD} in V)	min.	max.	Einheit
<u>V 4048 D</u>					
Verzögerungszeit I $\rightarrow$ 0	t_{PHL} ; t_{PLH}	5		600	ns
		10		300	ns
		15		240	ns
Verzögerungszeit IA $\rightarrow$ 0	t_{PIA}	5		600	ns
		10		300	ns
		15		240	ns
Verzögerungszeit IB $\rightarrow$ 0	t_{PIB}	5		450	ns
		10		170	ns
		15		120	ns
Verzögerungszeit IC $\rightarrow$ 0	t_{PIC}	5		280	ns
		10		100	ns
		15		80	ns
Verzögerungszeit EX $\rightarrow$ 0	t_{PEX}	5		380	ns
		10		180	ns
		15		130	ns
Selektions- und Deselek- tionszeit durch OE und O	t_{PHZ} ;	5		160	ns
	t_{PZH} ;	10		70	ns
	t_{PLZ} ;	15		30	ns
	t_{PZL}				

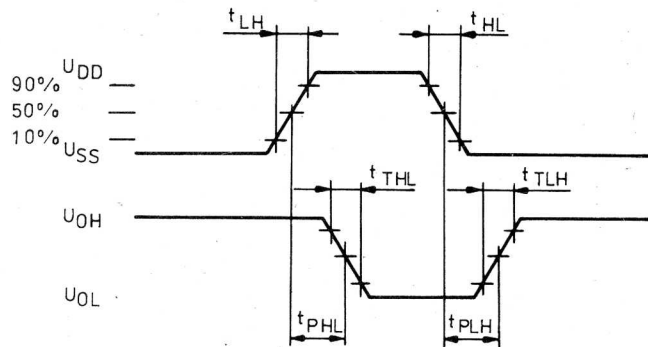
Impulsdiagramme

Bild 20: V 4001 D, V 4011 D, V 4012 D, V 4023 D, V 4030 D

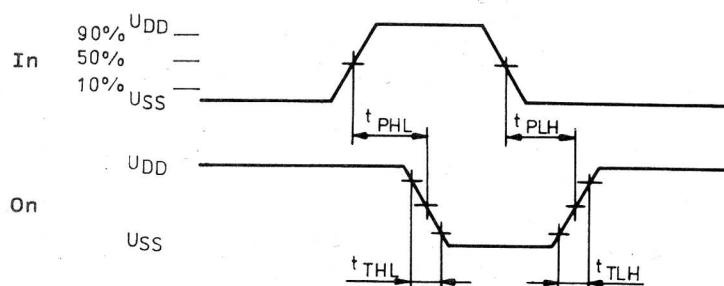


Bild 21: V 4007 D

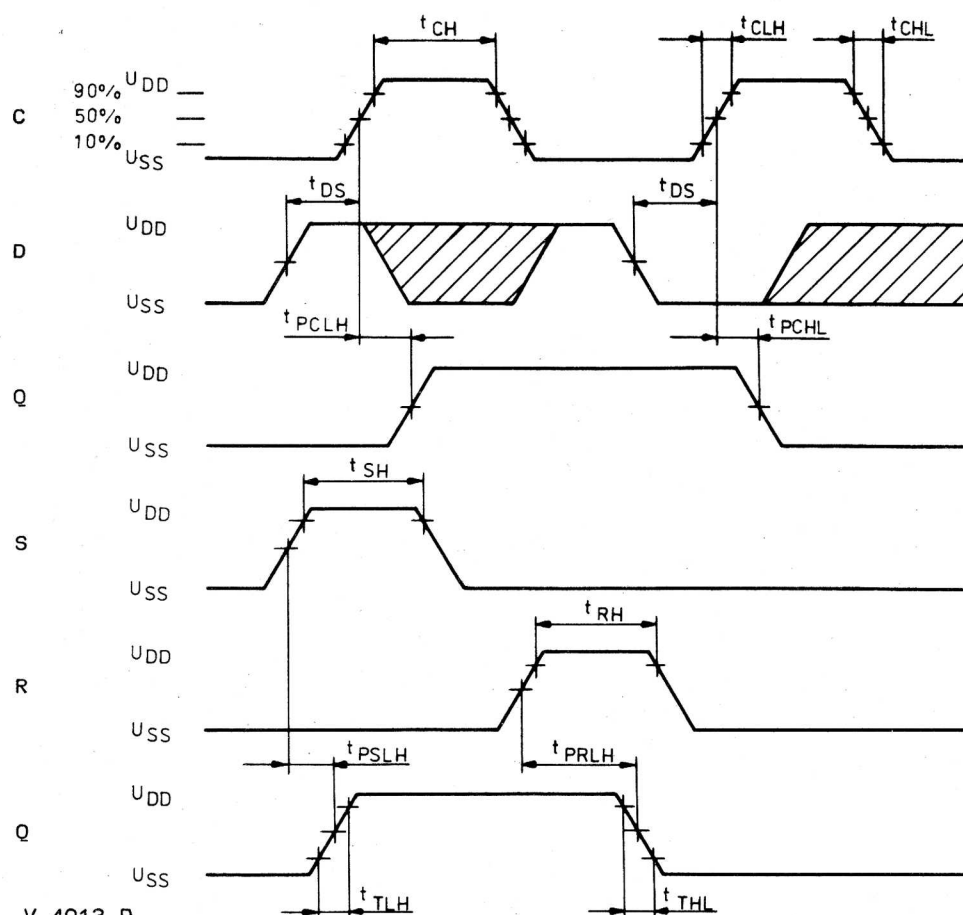


Bild 22: V 4013 D

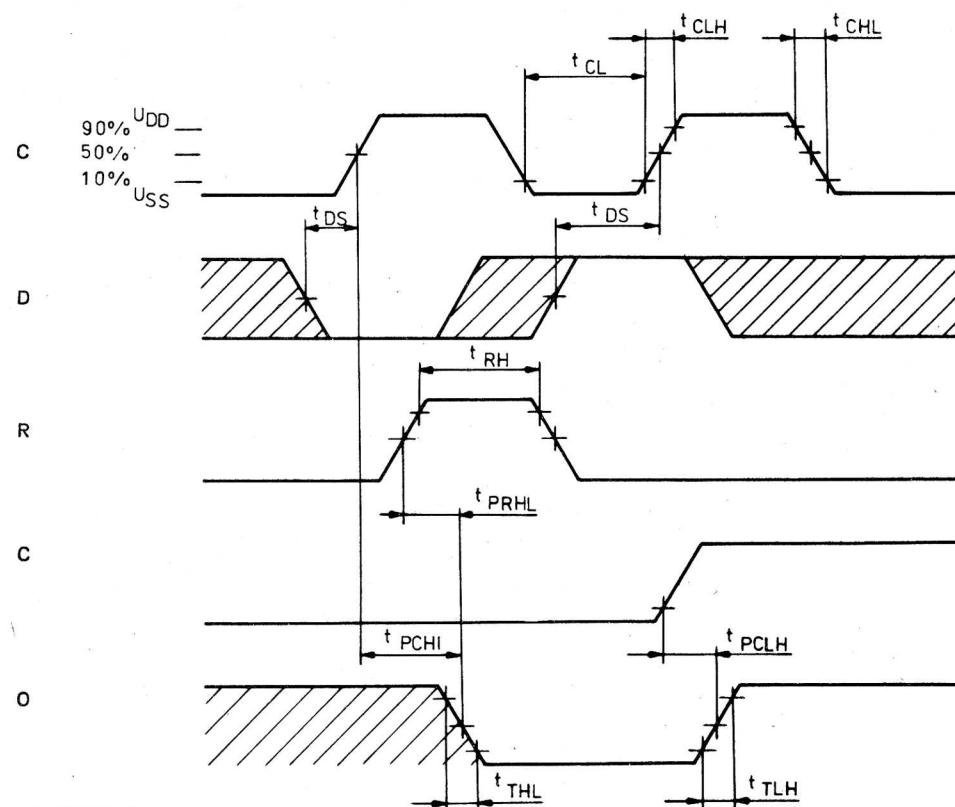


Bild 23: V 4015 D

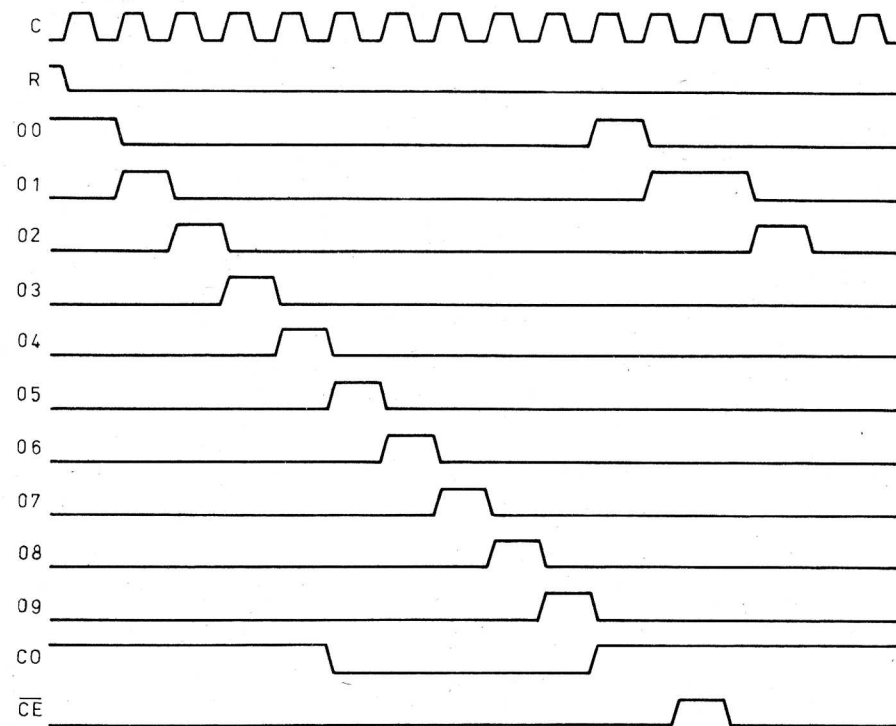


Bild 24: V 4017 D

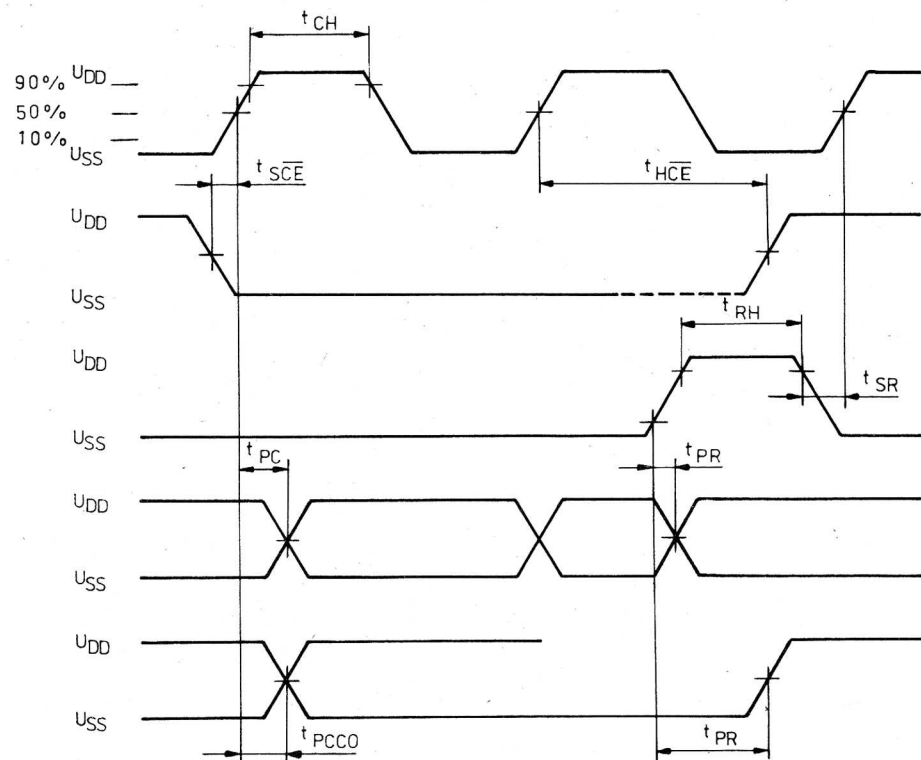


Bild 25: V 4017 D

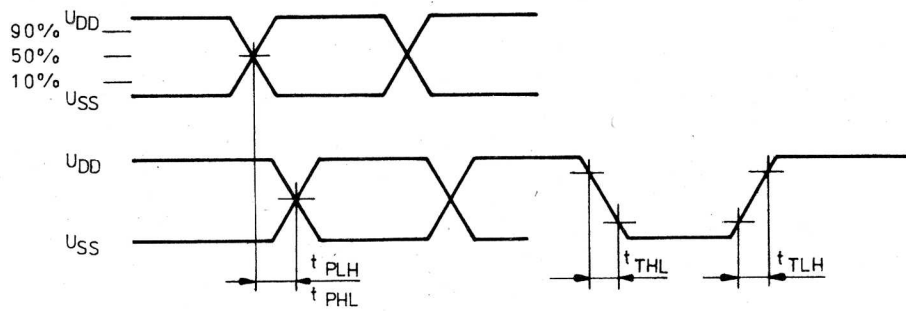


Bild 26: V 4019 D

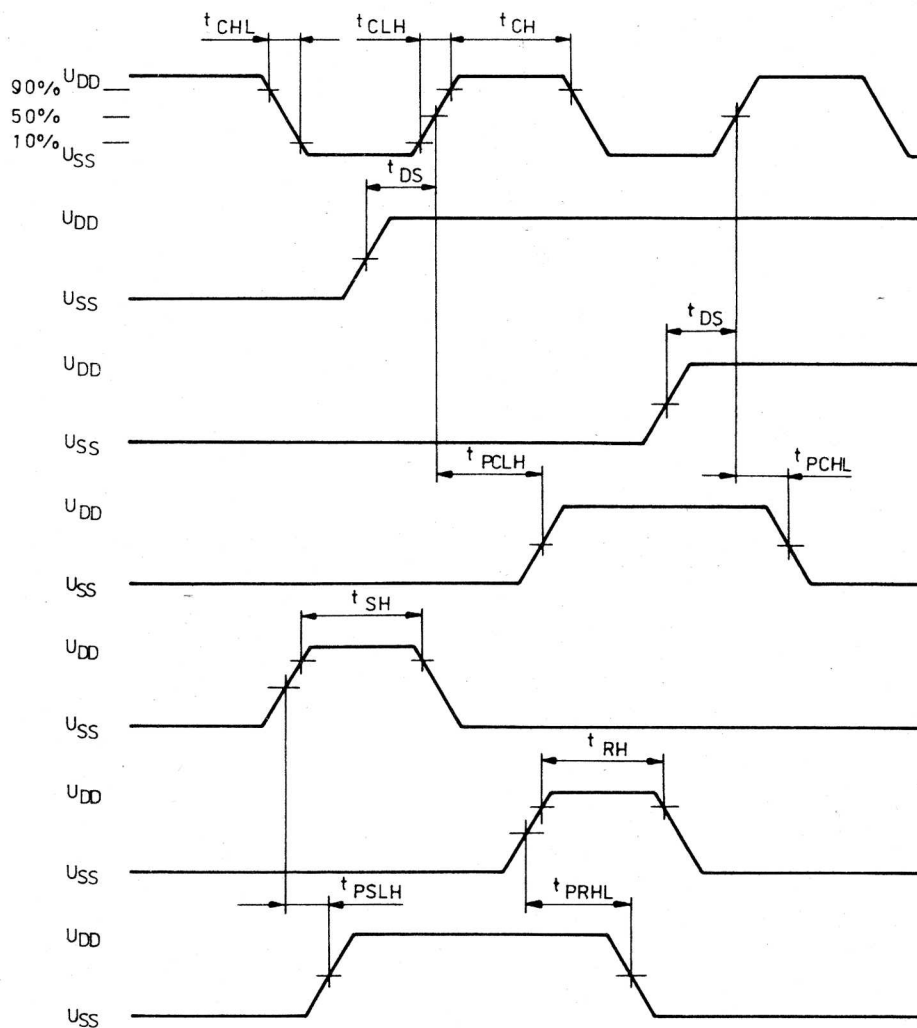


Bild 27: V 4027 D

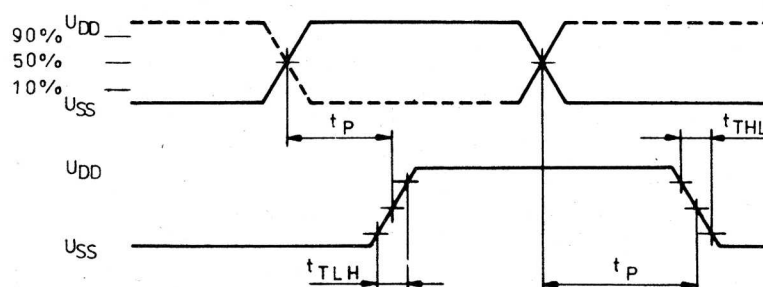


Bild 28: V 4028

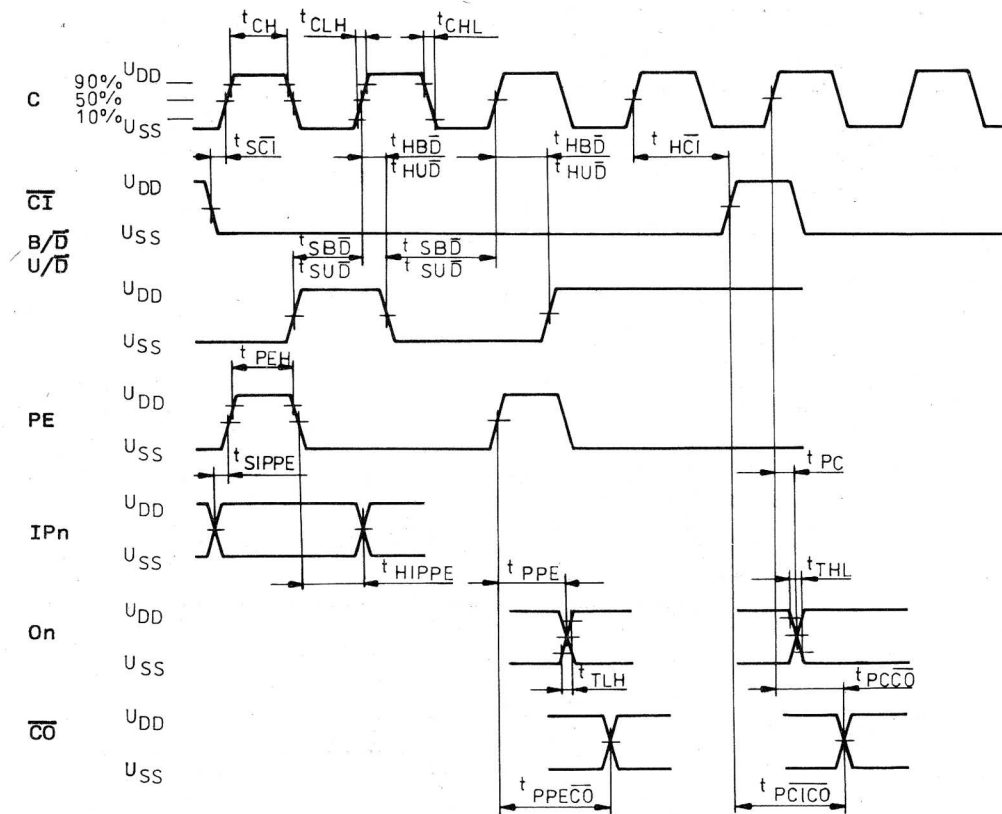
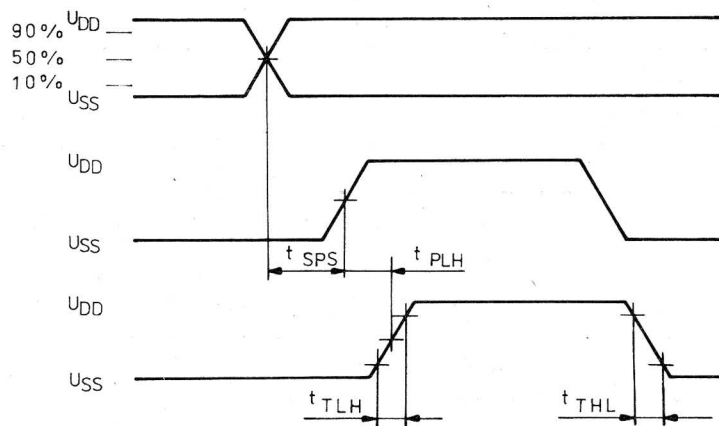


Bild 29: V 4029 D

asynchroner

Betrieb

A/ $\overline{S}$; A/BEingang An
oder BnAusgang Bn
oder An

synchroner Betrieb:

C

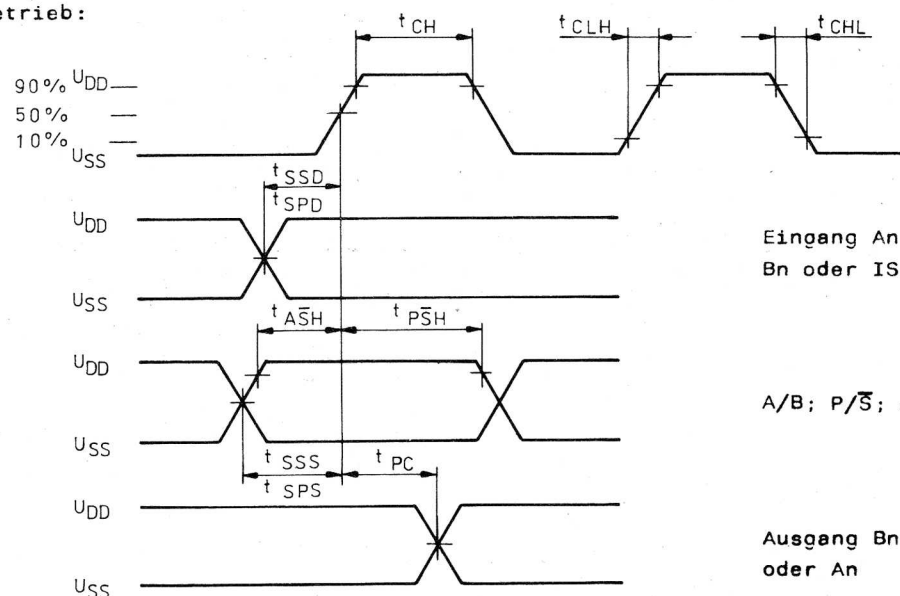


Bild 30:

Selektion und Deselektion der Ausgänge An:

AE

Ausgang An
L → hochohmig
Ausgang An
H → hochohmig

Ausgang An
hochohmig → L
Ausgang An
hochohmig → H

Bild 31: V 4034 D

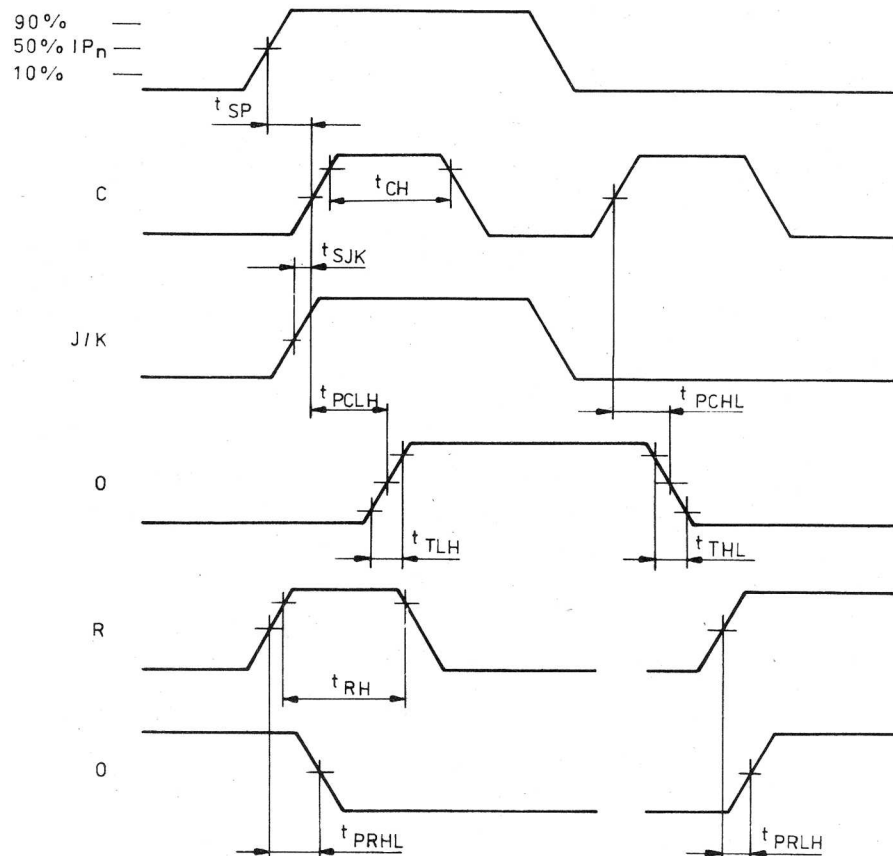
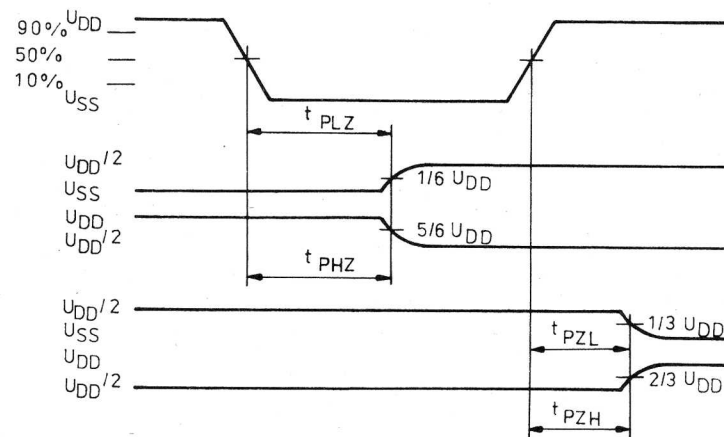


Bild 32: V 4035 D

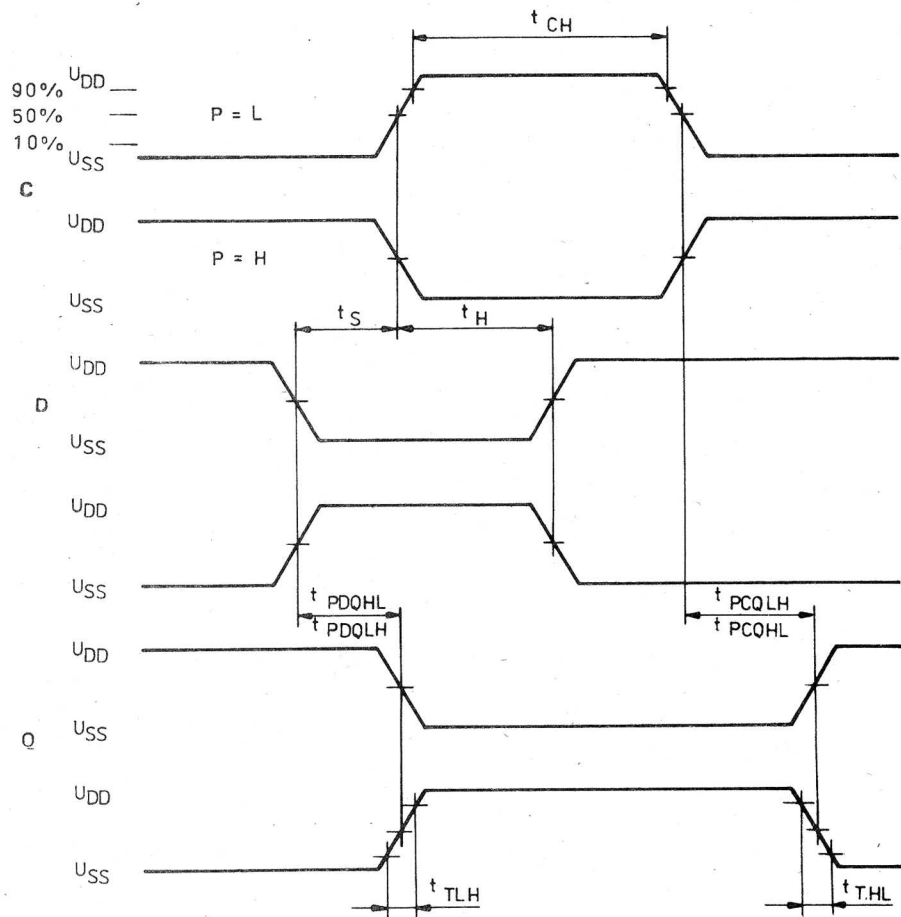
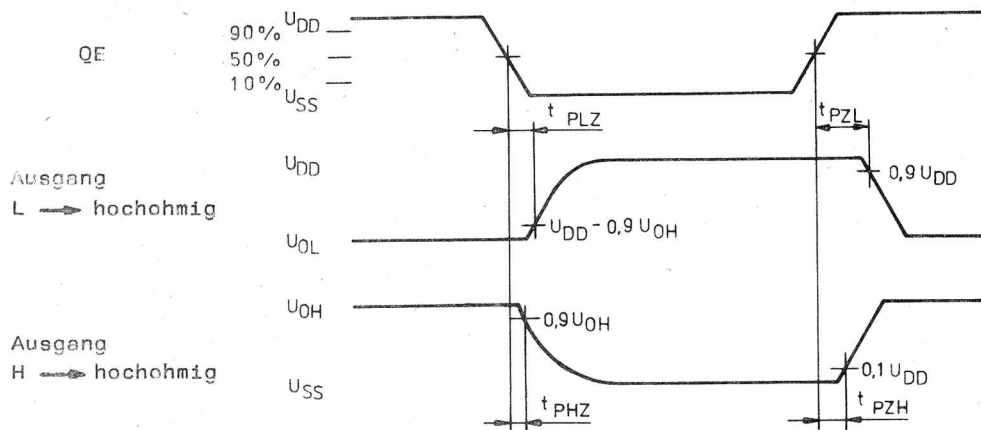


Bild 33: V 4042 D



$R_n; S_n$

Q_n

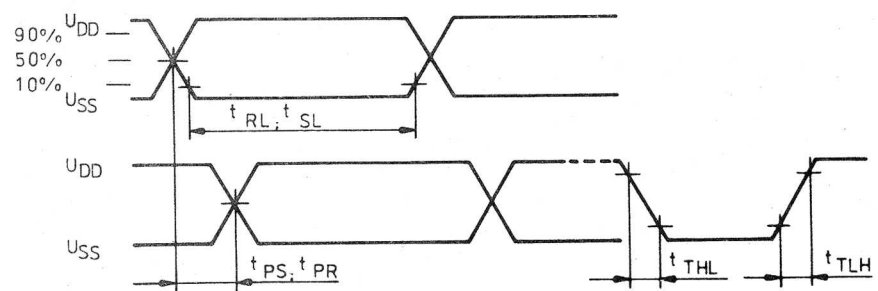


Bild 34: V 4044 D

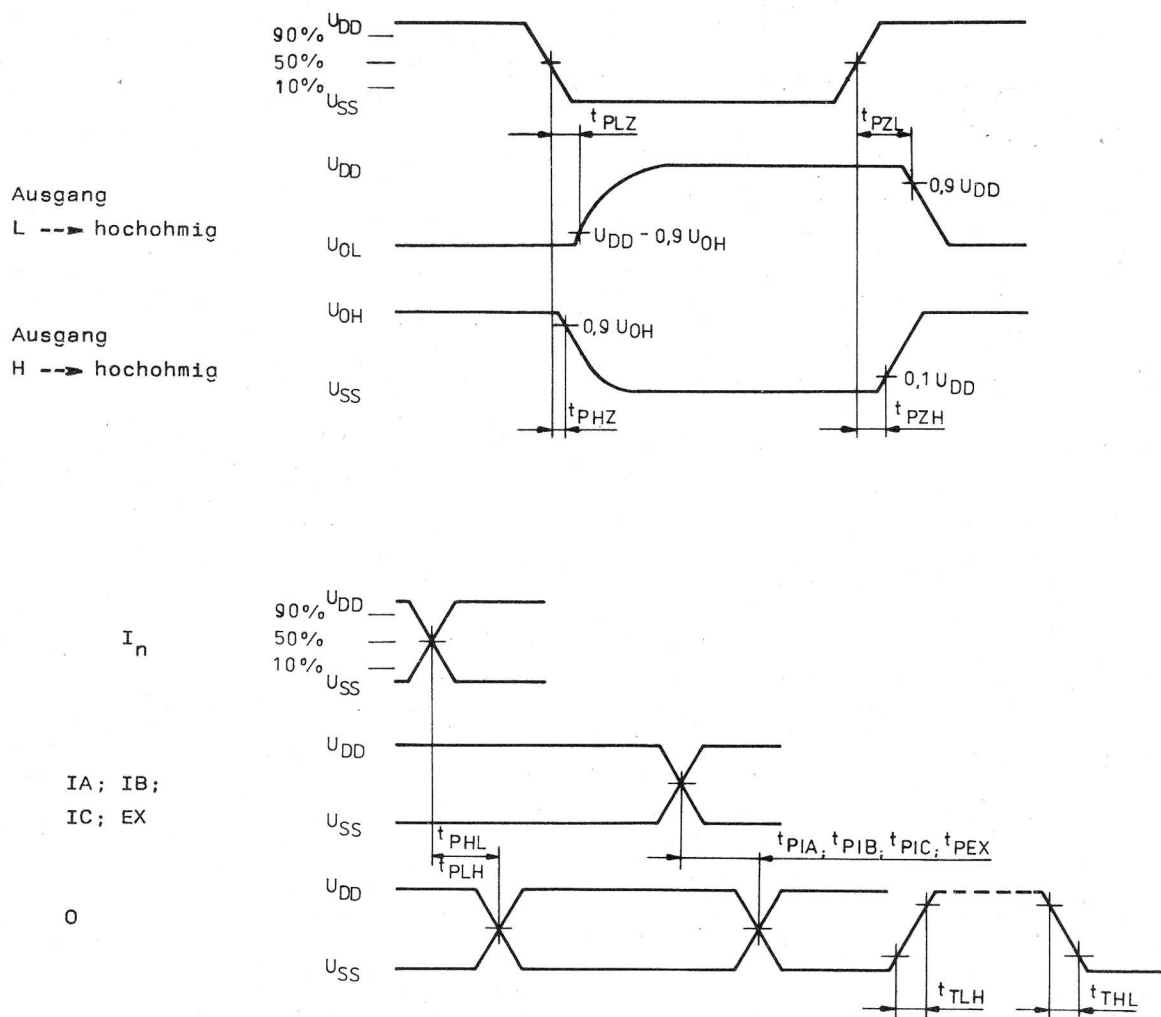


Bild 35: V 4048 D

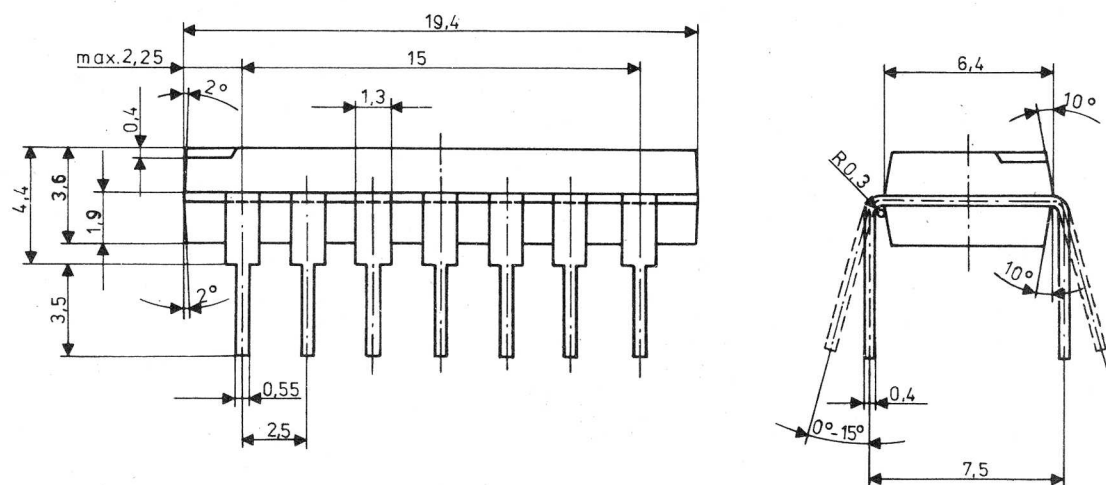


Bild 36: Gehäuseabmessungen Bauform 1

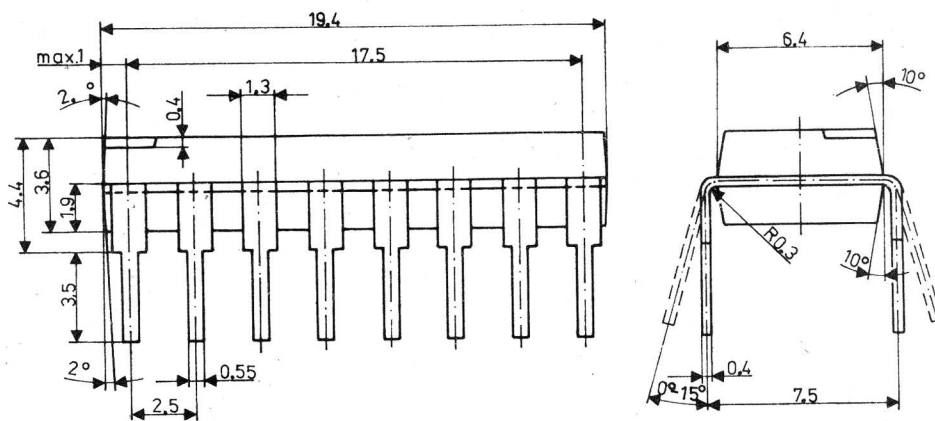


Bild 37: Gehäuseabmessungen Bauform 2

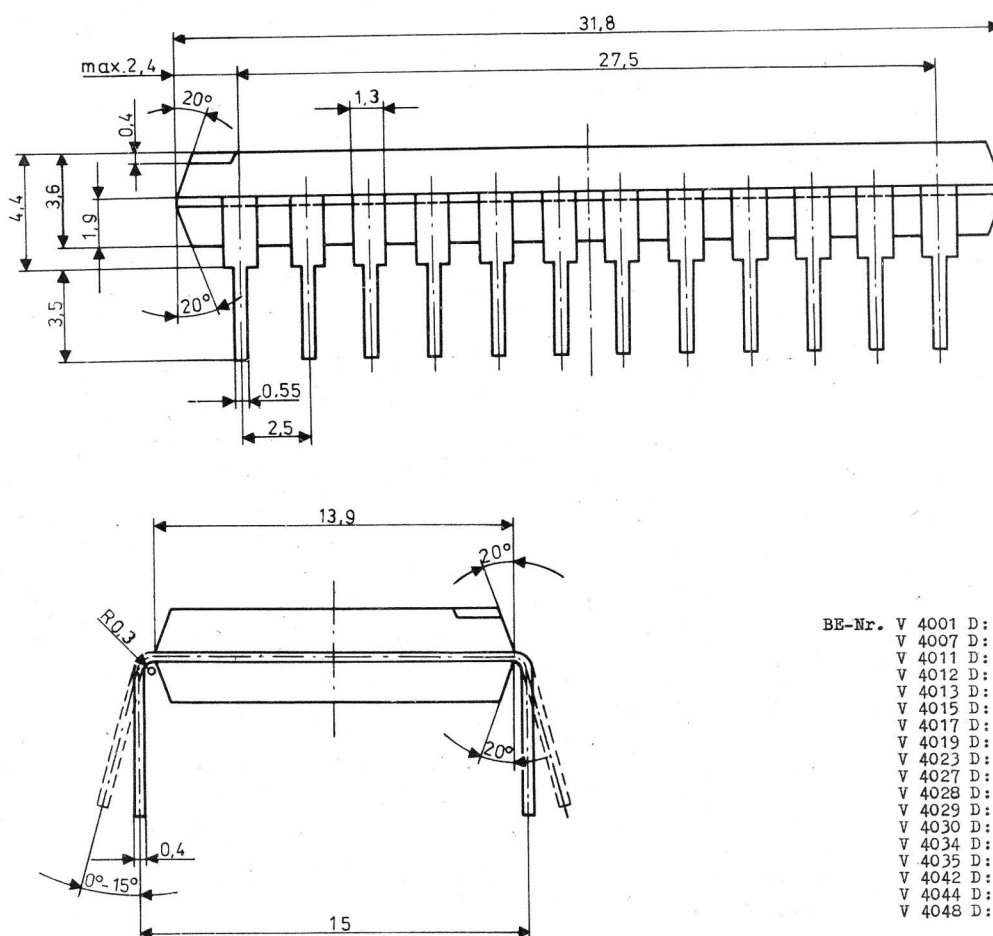


Bild 38: Gehäuseabmessungen Bauform 3

BE-Nr.	V	4001	D:	137	87	47	009	400199
	V	4007	D:	137	87	47	009	400746
	V	4011	D:	137	87	47	009	401191
	V	4012	D:	137	87	47	009	401212
	V	4013	D:	137	87	47	009	401327
	V	4015	D:	137	87	47	009	401538
	V	4017	D:	137	87	47	009	401722
	V	4019	D:	137	87	47	009	401941
	V	4023	D:	137	87	47	009	402338
	V	4027	D:	137	87	47	009	402733
	V	4028	D:	137	87	47	009	402856
	V	4029	D:	137	87	47	009	402960
	V	4030	D:	137	87	47	009	403074
	V	4034	D:	137	87	47	009	403402
	V	4035	D:	137	87	47	009	403525
	V	4042	D:	137	87	47	009	404288
	V	4044	D:	137	87	47	009	404405
	V	4048	D:	137	87	47	009	404819

Die vorliegenden Datenblätter dienen ausschließlich der **Information!**
Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden.
Änderungen im Sinne des technischen Fortschritts sind vorbehalten.