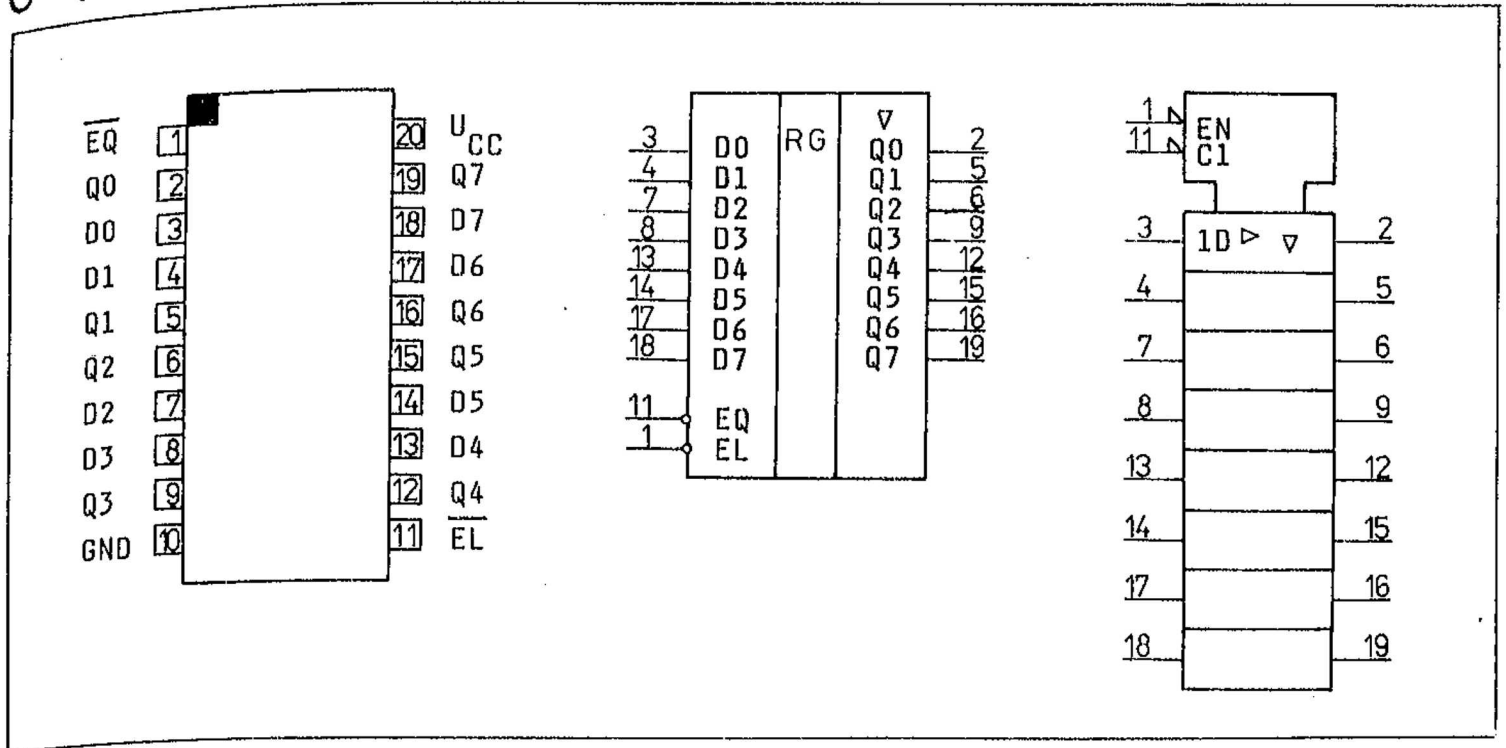


U 74 HCT 373 DK 8 Bit Transparentlatch, nicht invertierend



Anschlußbelegung, Schaltzeichen und IEC-Zeichen

Bauform U 74 HCT 373 DK: DIP-20, Plast (Bild 8)
 Bauform U 74 HCT 373 S: SO-20 (Bild 30)
 Typstandard: TGL 42643/10

Funktionstabelle

Eingänge			Ausgänge
$\overline{EQ}$	$\overline{EL}$	Dn	Qn
L	H	H	H
L	H	L	L
L	L	x	Latch
H	x	x	hochohmig

(x = L oder H)

(n = 0 bis 7)

Ausgewählte Kennwerte

* Buffer-Tristate-Ausgänge *

Kennwert	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Verzögerungszeit	t_{PD}	$T_a = -40 \text{ bis } 85 \text{ } ^\circ\text{C}$		44	ns
Dn $\rightarrow$ Qn	t_{PD}	$T_a = 25 \text{ } ^\circ\text{C}$		35	ns
Verzögerungszeit	$t_{P\overline{EL}}$	$T_a = -40 \text{ bis } 85 \text{ } ^\circ\text{C}$		44	ns
$\overline{EL} \rightarrow$ Qn	$t_{P\overline{EL}}$	$T_a = 25 \text{ } ^\circ\text{C}$		35	ns
Selektionszeit	t_{PZH}	$T_a = -40 \text{ bis } 85 \text{ } ^\circ\text{C}$		44	ns
hochohmig $\rightarrow$ High, Low	t_{PZL}	$T_a = 25 \text{ } ^\circ\text{C}$		35	ns
Deselektionszeit	t_{PHZ}	$T_a = -40 \text{ bis } 85 \text{ } ^\circ\text{C}$		44	ns
Low, High $\rightarrow$ hochohmig	t_{PLZ}	$T_a = 25 \text{ } ^\circ\text{C}$		35	ns
Anstiegs- und Abfallzeit	t_T	$T_a = -40 \text{ bis } 85 \text{ } ^\circ\text{C}$		15	ns
	t_T	$T_a = 25 \text{ } ^\circ\text{C}$		12	ns

HCT-Schaltkreise

CMOS-Schaltkreise der Logikbaureihe U 74 HCT 00 DK sind durch folgende Eigenschaften gekennzeichnet:

- Kompatibilität zur internationalen CMOS-Baureihe 74 HCT 00,
- Anschluß- und Funktionskompatibilität zur internationalen LS-TTL-Baureihe 74 LS 00,
- Schaltgeschwindigkeit ähnlich der internationalen LS-TTL-Baureihe.
- Im Frequenzbereich bis etwa 5 MHz geringere Leistungsaufnahme der Schaltkreise gegenüber Schaltkreisen der LS-TTL-Baureihe, damit erhebliche Senkung des Aufwandes für die Realisierung von Stromversorgungseinheiten. Die geringere Leistungsaufnahme bildet die Voraussetzung für die Realisierung portabler, batteriegespeister, komfortabler Geräte und ermöglicht eine höhere Packungsdichte auf Leiterkarten und damit ein geringeres Gehäusevolumen.
- Die höhere Störsicherheit ermöglicht die Realisierung störsicherer Schaltungskonzepte und die Vergrößerung der Anwenderbreite von Logikschaltkreisen.
- Die Übereinstimmung in Anschlußfolge und Funktion sowie eine ähnliche Schaltgeschwindigkeit ermöglicht den Austausch mit Schaltkreisen der LS-TTL-Baureihe 74 LS 00.

Grenzwerte

Betriebsspannung	$U_{CC} = -0,5 \dots 7,0 \text{ V}$
Eingangsspannung	$U_I = -0,5 \dots 0,5 \text{ V}$
Ausgangsspannung	$U_O = -0,5 \dots 0,5 \text{ V}$
Eingangsdiodenstrom	$ I_{IK} \leq 20 \text{ mA}$
Ausgangsdiodenstrom	$ I_{OK} \leq 20 \text{ mA}$
Ausgangsstrom für Standardausgänge	$ I_O \leq 25 \text{ mA}$
Ausgangsstrom für Buffer-Tristate-Ausgänge	$ I_O \leq 35 \text{ mA}$
Betriebsstrom für IS mit Standardausgängen	$ I_{CC} , I_{GND} \leq 50 \text{ mA}$
Betriebsstrom für IS mit Buffer-Tristate-Ausgänge	$ I_{CC} , I_{GND} \leq 70 \text{ mA}$
Gesamtverlustleistung (DIP-Gehäuse) $T_a = -40 \dots 70 \text{ }^\circ\text{C}$	$P_{tot} \leq 350 \text{ mW}$
Gesamtverlustleistung (DIP-Gehäuse) $T_a = 85 \text{ }^\circ\text{C}$	$P_{tot} \leq 250 \text{ mW}$
Lagertemperaturbereich	$T_{stg} = -40 \dots 85 \text{ }^\circ\text{C}$

Betriebsbedingungen HCT-ICs

Betriebsspannung	$U_{CC} = 4,5 \dots 5,5 \text{ V}$	
Eingangsspannung ($t < 15 \text{ ms}$)	$U_I = -1,5 \dots U_{CC} + 1,5 \text{ V}$	
($t < 15 \text{ ms}$)	$U_I = \text{GND} - 0,5 \dots U_{CC} + 0,5 \text{ V}$	
Eingangsspannung H	$U_{IH} \leq 2 \text{ V}$	
Eingangsspannung L	$U_{IL} \leq 0,8 \text{ V}$	
Betriebstemperaturbereich	$T_a = -40 \dots 85 \text{ °C}$	
Anstiegs- und Abfallzeit der Eingangsimpulse an Eingängen ohne Schmitt- Trigger-Charakteristik	$t_{LH}, t_{HL} \leq 500 \text{ ns}$	
	Haltezeiten	
Taktfrequenzen	U 74 HCT 74 DK	$t_{HD} \leq 3 \text{ ns}$
U 74 HCT 74, 175 DK $f_c \leq 20 \text{ MHz}$	U 74 HCT 175, 374, 534 DK	$t_{HD} \leq 5 \text{ ns}$
U 74 HCT 374, 534 DK $f_c \leq 18 \text{ MHz}$	U 74 HCT 192, 193 DK	$t_{HD} \leq 0 \text{ ns}$
Taktimpulsbreiten	Setzzeiten	
U 74 HCT 74, 175 DK $t_{CL}, t_{CH} \leq 25 \text{ ns}$	U 74 HCT 74, 192, 193 374, 534 DK	$t_{SD} \leq 25 \text{ ns}$
U 74 HCT 192, 193, 534 DK $t_{CL}, t_{CH} \leq 31 \text{ ns}$	U 74 HCT 175 DK	$t_{SD} \leq 20 \text{ ns}$
U 74 HCT 374 DK $t_{CL}, t_{CH} \leq 28 \text{ ns}$		
Zählfrequenzen		
U 74 HCT 192, 193 DK $f_{CU}, f_{CD} \leq 16 \text{ MHz}$		

Statische Kennwerte

Ausgangsspannung H ($U_{CC} = 4,5 \text{ V}$, $-I_{OH} = 20 \text{ } \mu\text{A}$)	$U_{OH} = 4,4 \text{ V}$	Statische Stromaufnahme ($U_{CC} = 5,5 \text{ V}$)
Ausgangsspannung H ($U_{CC} = 4,5 \text{ V}$, $-I_{OH} = 4 \text{ mA}$)	$U_{OH} = 3,84 \text{ V}$	für Gatter-IS $I_{CC} = 20 \text{ } \mu\text{A}$
für IS mit Standard-Ausgängen		für Flip-Flop $I_{CC} = 40 \text{ } \mu\text{A}$
Ausgangsspannung H ($U_{CC} = 4,5 \text{ V}$, $-I_{OH} = 6 \text{ mA}$)	$U_{OH} = 3,84 \text{ V}$	für MSI-IS $I_{CC} = 80 \text{ } \mu\text{A}$
für IS mit Bus-Treiber-Ausgängen		
Ausgangsspannung L ($U_{CC} = 4,5 \text{ V}$, $I_{OL} = 20 \text{ } \mu\text{A}$)	$U_{OL} = 0,1 \text{ V}$	Reststrom der Tristate-Ausgänge im hochohmigen Zustand sowie der Ein-/Ausgänge im Zustand Eingabe
Ausgangsspannung L ($U_{CC} = 4,5 \text{ V}$, $I_{OL} = 4 \text{ mA}$)	$U_{OL} = 0,33 \text{ V}$	$I_{ZH}, I_{ZL} = 5 \text{ } \mu\text{A}$
für IS mit Standard-Ausgängen		
Ausgangsspannung L ($U_{CC} = 4,5 \text{ V}$, $I_{OL} = 6 \text{ mA}$)	$U_{OL} = 0,33 \text{ V}$	
für IS mit Bus-Treiber-Ausgängen		

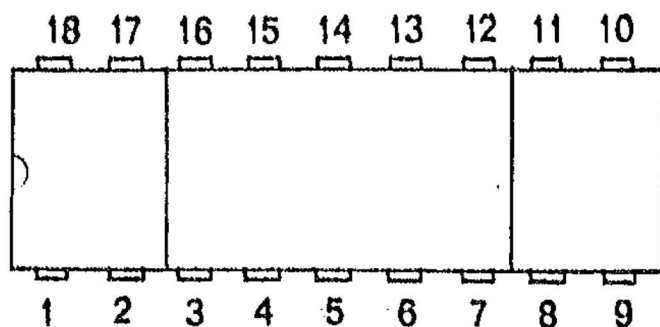
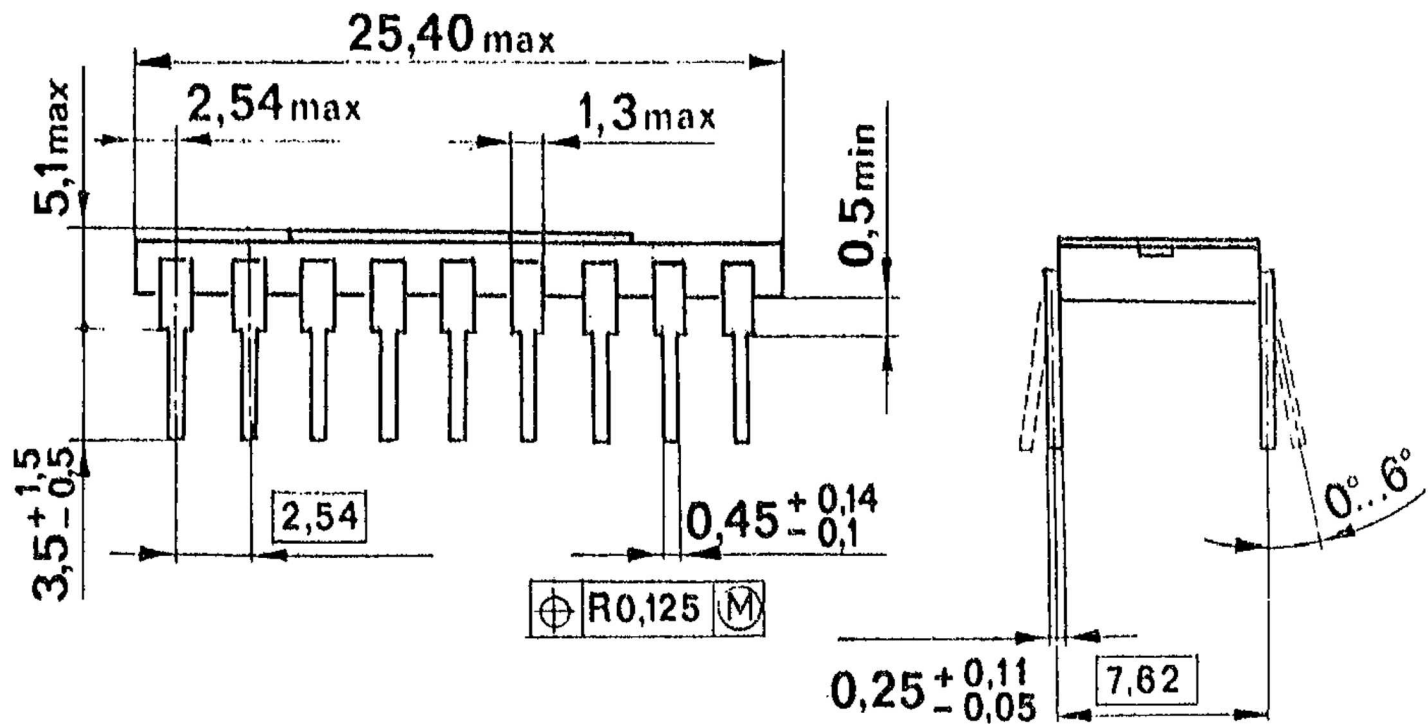


Bild 7 (DIP-18, Keramik)

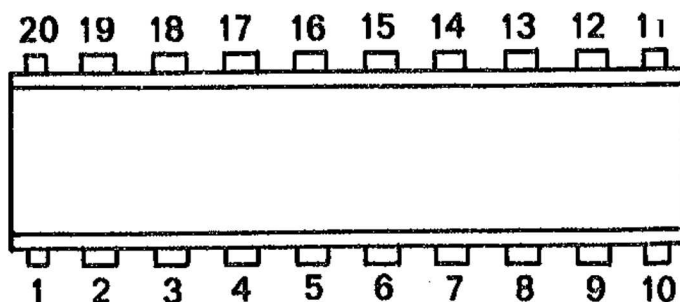
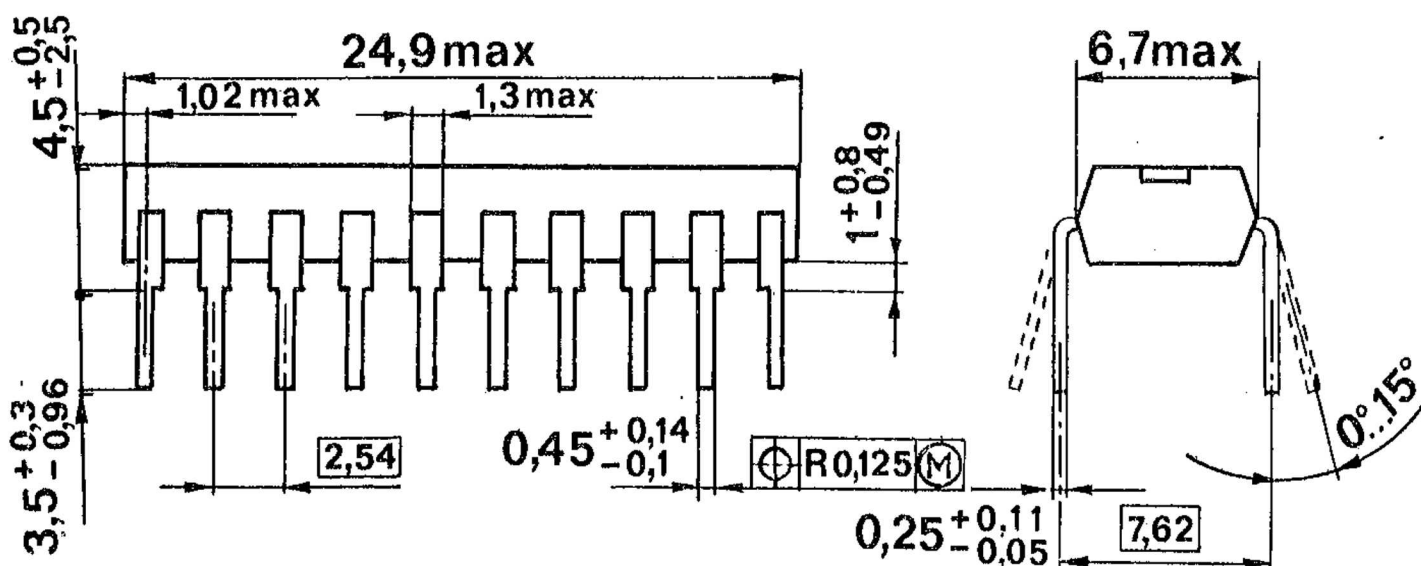
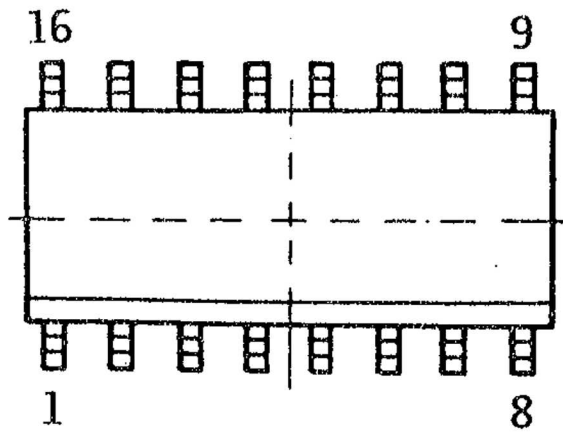
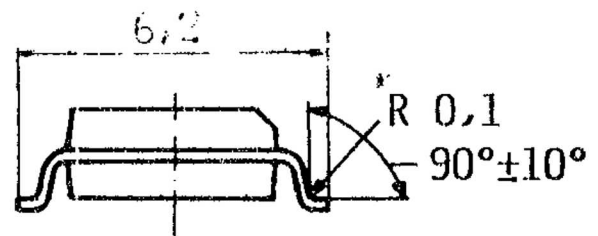
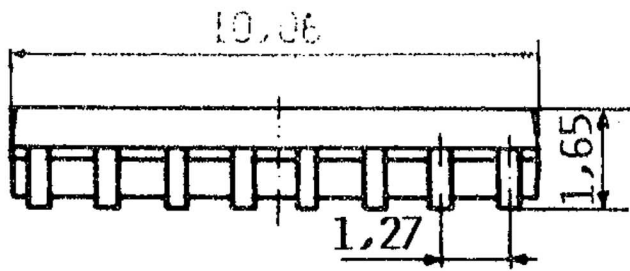
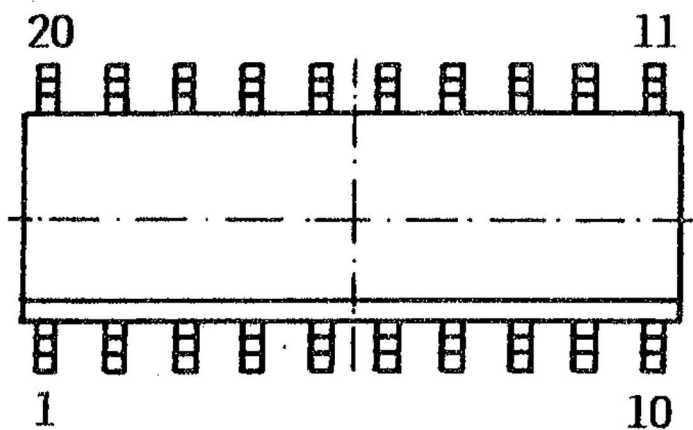
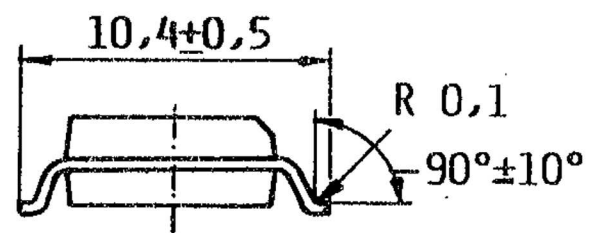
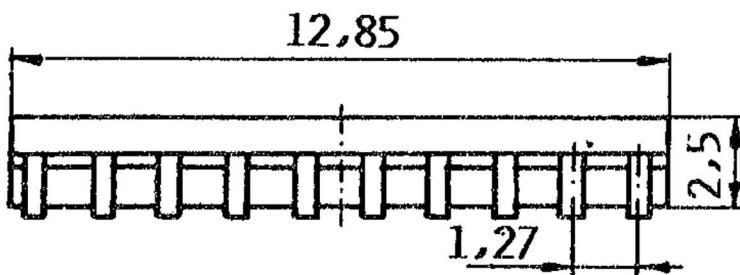


Bild 8 (DIP-20, Plast)



Ebenheitstoleranz: 0,15
Pinlagetoleranz: $\frac{T}{2} = 0,125$

Bild 29 (SO-16)



Ebenheitstoleranz: 0,15
Pinlagetoleranz: $\frac{T}{2} = 0,125$

Bild 30 (SO-20)