

# U 1600

# CMOS-Standardzellensystem

## Systembeschreibung

Das VLSI-Standardzellen-Entwurfssystem ist ein durchgängiges Entwurfssystem für die Entwicklung digitaler, synchron-getakteter Schaltkreise in der Technologie CSGT4. Es besteht aus den Komponenten:

- Standardzellenkatalog,
- Festblockgeneratoren für RAM, ROM und PLA,
- CAD-System zur Layouterzeugung auf Blockniveau,
- Anwenderhandbuch.

## Chipgrößen

Für das Standardzellensystem U 1600 sind folgende standardisierte Chipgrößen vorgesehen:

Chipgröße (mm <sup>2</sup> )	mögliche Pinzahl
8,86 x 8,86	68, 124
7,42 x 7,42	68, 124
6,88 x 6,88	68, 124
5,98 x 5,98	44, 84
5,26 x 5,26	28, 44, 52, 84
4,18 x 4,18	28, 44, 52

Abhängig von der Größe der verwendeten Festblöcke können bis zu 100.000 Transistoren pro Chip realisiert werden, wobei folgende Packungsdichten erreicht werden:

Logik:	ca. 1.000 Transistoren/mm <sup>2</sup>
ROM:	ca. 20.000 Transistoren/mm <sup>2</sup>
RAM:	ca. 12.000 Transistoren/mm <sup>2</sup>

## Standardzellenkatalog

Für das Standardzellensystem U 1600 wurden sämtliche im Vorgängersystem U 1500/1520 angebotenen Standardzellen übernommen. Zusätzlich wurden spezielle Flipflops entwickelt, die eine Testung des Standardzellen-Schaltkreises nach dem LSSD-Prinzip ermöglichen. Für alle Standardzellen werden im Katalog die Funktionsbeschreibung, Logikgleichung, Anschlußbelegung, statische und dynamische Parameter sowie Gatteräquivalent angegeben.

Der Standardzellenkatalog enthält:

### **Logik-Standardzellen**

- Inverter, teilweise mit erhöhter Treiberleistung
- Grundgatter (NAND, NOR, EXOR ...)
- Kombinatorische Verknüpfungen (ANDNOR, ORNAND ...)
- Halbadder, Volladder

### **Treiber-Transmissionsgate-Standardzellen**

- Treiber mit variabler Treiberleistung
- Einfach-Transmissionsgate mit Tristate-Verhalten
- Doppel-Transmissionsgate

### **Flipflop-Standardzellen**

- D-Master-Slave-Flipflops, asynchron
- D-Master-Slave-Flipflops, synchron (LSSD-fähig)
- JK-Master-Slave-Flipflops, synchron (LSSD-fähig)
- Taktzustandgesteuerte D-Flipflops (Latch), asynchron
- RS-Flipflops, asynchron

### **Interface-Standardzellen**

- Eingangsstufen, CMOS-kompatibel
- Eingangsstufen, TTL-kompatibel
- Eingangsstufen mit Schmitt-Trigger-Verhalten
- Ausgangsstufen mit Two- bzw. Tristate-Verhalten
- bidirektionale Stufen

### **Systeminterne Zellen**

Software-Makros (MSI-Schaltkreis-Funktionen)

Festblockgeneratoren für RAM-, ROM- und PLA-Erzeugung

- wahlfreie Konfiguration möglich (Wortbreiten, Speichertiefe)
- maximale Blockgrößen:

ROM - 128 KBit (maskenprogrammierbar)

RAM - 16 KBit

PLA - 16000 Programmierpunkte

## Entwurfssystem

Das Standardzellen-Entwurfssystem "ENSIC" ist durch folgende Merkmale definiert:

- geschlossenes, dialogfähiges Programmsystem
- Eingabegrößen sind:
  1. Logikbeschreibung durch "NBS 84"
  2. Standardzellenkatalog
  3. Bondinselbelegung
  4. Festblockart und -größe
  5. Eingangsfolgen für Logiksimulation
- Einbindung des Programmes "KOSIM" zur Absichts- und Bestätigungssimulation
- Einbindung des Programmes "MIPRE" zur PLA-Erzeugung und Optimierung
- Prüfung des NBS-Textes, automatische Parametergenerierung
- Partitionierung, Platzierung, Trassierung
- Erzeugung der Testfolgen wahlweise:
  1. für Strukturtest (LSSD-Prinzip)
  2. Funktionaltest
- Erzeugung der GS für Datenträgerausgabe.

## Gehäuse

Schaltkreise U 1600 sind derzeit in folgendem Gehäusesortiment lieferbar:

- QFP68 nach neuem Standard: Bauform C7L TGL 26713/04  
Standardausführung mit Z-Pins  
  
oder Bauform C6L TGL 26713/04  
Sonderausführung mit geraden Pins
- QFP124 nach neuem Standard: Bauform C7N TGL 26713/04  
bzw: Bauform C6N TGL 26713/04  
(Sonderausführung)

In Vorbereitung befinden sich folgende Gehäusebauformen:

- QFP28 neu: C7G (Sonderausführung C6G) TGL 26713/04
- QFP44 neu: C7H (Sonderausführung C6H) TGL 26713
- QFP52 } bisher in der DDR
- QFP84 } nicht standardisiert.

Für jedes Gehäuse sind die Betriebsspannungs- und Massepins bereits festgelegt (für QFP124 je 4 Pins). Weiterhin werden 8 weitere Anschlüsse für die Testung (LSSD) des

Standardzellen-Schaltkreises benötigt. Damit sind maximal 108 Pins anwendungsspezifisch verfügbar.

## **Vorläufige technische Daten**

Die Anwendung einer leistungsfähigen 1,5  $\mu\text{m}$ -CMOS-Technologie ermöglicht günstige statische und dynamische Parameter:

### **- Betriebsbedingungen**

Betriebsspannung:	+ 5 V $\pm$ 5 %
Low-Eingangsspannung:	- 0,3 bis + 0,8 V
High-Eingangsspannung:	+ 2,4 bis $U_{CC} + 0,3$ V

### **- Ausgewählte Kennwerte**

Low-Ausgangsspannung:	max. 0,4 V (bei $I_O = 5$ mA)
High-Ausgangsspannung:	min. 2,4 V (bei $I_O = -1$ mA)
Ruhestromaufnahme:	< 400 $\mu\text{A}$
Max. garantierte Taktfrequenz:	25 MHz
Gatterverzögerung:	< 1,6 ns

Die Betriebsstromaufnahme ist vom jeweiligen Anwendungsfall abhängig.

## **Technische Auskünfte erteilt:**

VEB Forschungszentrum  
Mikroelektronik Dresden  
Grenzstr. 28  
Dresden  
8080